

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Jc971 U.S. PTO  
10/023123  
10/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日  
Date of Application:

2001年 6月 6日

出 願 番 号  
Application Number:

特願2001-171216

出 願 人  
Applicant(s):

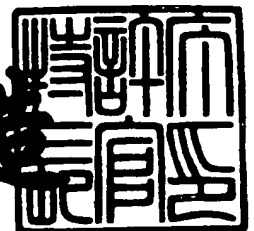
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 8月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3072255

【書類名】 特許願

【整理番号】 0001381

【提出日】 平成13年 6月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03L 7/06

【発明の名称】 並列信号自動位相調整回路

【請求項の数】 5

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 藤田 武弘

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 泉 太

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100092978

    【弁理士】

    【氏名又は名称】 真田 有

    【電話番号】 0422-21-4222

【手数料の表示】

    【予納台帳番号】 007696

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704824

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 並列信号自動位相調整回路

【特許請求の範囲】

【請求項 1】 クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、

上記のデータ信号またはクロック信号として用いられる周波数よりも小さい所定の周波数の信号を生成する生成部と、入力されるクロック信号の周波数に対して該生成部からの上記所定の周波数信号分低い周波数のクロック信号を発振する発振回路とをそなえとともに、

上記の各データ信号および発振回路からのクロック信号における位相比較情報と、上記の各データ信号、発振回路からのクロック信号および生成部からの信号における周波数情報と、を用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴とする、並列信号自動位相調整回路。

【請求項 2】 クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、

入力されるクロック信号の周波数を所定周波数分低減された周波数のクロック信号を発振する発振回路をそなえとともに、

上記各データ信号の位相および該発振回路からのクロック信号の位相の位相比較情報と、上記のクロック信号およびデータ信号の周波数情報と、上記低減される周波数情報と、をパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記各データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴とする、並列信号自動位相調整回路。

【請求項 3】 クロック信号とともに複数系列のデータ信号を並列入力されて、上記クロック信号を、各データ信号に同期するように調整する並列信号自動

位相調整回路であって、

上記のクロック信号をデータ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられ、

かつ、上記各調整回路が、

上記のクロック信号およびデータ信号の位相を比較する位相比較器と、

該位相比較器からの位相比較情報をパラメータとして用いた三角関数演算に基づいて、上記のクロック信号をデータ信号に同期するように調整して出力する三角関数演算部と、

をそなえて構成されたことを特徴とする、並列信号自動位相調整回路。

【請求項 4】 各調整回路が、

該生成部からの信号を入力される一方、上記の対応データ信号および調整対象となるクロック信号とを比較し、比較結果としての位相比較情報を該生成部からの信号における周波数情報とともに出力する位相比較・遅延回路と、

該発振回路からのクロック信号と位相比較・遅延回路からの情報とを用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、

そなえて構成されたことを特徴とする、請求項 1 記載の並列信号自動位相調整回路。

【請求項 5】 各調整回路が、

該発振回路にて低減される上記所定周波数と同一の周波数情報を発振するとともに上記の対応データ信号および調整対象となるクロック信号とを比較して、位相差情報として上記周波数情報として出力する位相比較・発振回路と、

該発振回路からのクロック信号と位相比較・発振回路からの情報とをパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、

そなえて構成されたことを特徴とする、請求項 2 記載の並列信号自動位相調整回路。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、装置間においてパラレルデジタルデータを伝送する際に用いて好適な、並列信号自動位相調整回路に関するものである。

## 【0002】

## 【従来の技術】

一般に、装置間のデジタルデータの伝送は、図19に示すように、送信側の通信装置100Aが、データおよびこのデータに同期したクロックを受信側の通信装置100Bに渡し、受信側装置100Bにおいては受け取ったクロックに同期してデータを取り込むことにより実現される。通信装置100Bから通信装置100Cに対してデータを伝送する場合も同様である。

## 【0003】

このとき、高速のデジタルデータを伝送する場合には、1タイムスロットあたりの時間が短くなるため、位相のマージンが小さくなる。その結果、温度や電源電圧などの変化により、クロックの打ち抜き位相が変化する場合や、受信側の取り込み可能な位相が変化する場合には、データ伝送に対する信頼度を維持することが困難となる場合も想定される。さらに、このような温度や電源電圧などの変化を考慮して設計を行なった場合であっても、製造偏差による位相特性のばらつきを吸収することも必要である。

## 【0004】

すなわち、受信側の通信装置においては、上述のごとき温度変動や電源変動および製造偏差などによる位相特性のバラツキを吸収すべく、データとクロックとの間の位相を自動調整することが必要である。

図20は、上述のデータとクロックとの間の位相を自動調整するための並列信号自動位相調整回路を示す図である。この図20に示す並列信号自動位相調整回路は、N分周回路101をそなえるとともに、データDTに同期したクロックCKを生成するための位相比較器102、可変遅延器103および位相固定発振器(Phase Locked Oscillator ; PLL) 104をそなえて構成されている。

## 【0005】

N分周回路101は、入力されたクロックCKについてN分周させるものであ

り、位相比較器 1 0 2 は、後段の位相固定発振器 1 0 4 から出力されるクロック CK 1 およびデータ DT の位相を比較して、その位相差に応じた信号を出力するものである。更に、可変遅延器 1 0 3 は、位相比較器 1 0 2 からの信号に基づいて、N 分周回路 1 0 1 にて N 分周されたクロックについて、データ DT に同期するように遅延させるものである。

## 【 0 0 0 6 】

PL O 1 0 4 は、可変遅延器 1 0 3 からのデータ DT と位相が同期されたクロック信号を入力され、このクロック信号に位相が同期した N 分周前の周波数信号を生成し、クロック CK 1 として出力するものである。この PL O 1 0 4 は、詳細には図 2 1 に示すように、位相比較回路 1 0 4 a, ローパスフィルタ 1 0 4 b, アンプ 1 0 4 c, 電圧制御発振器 (Voltage Controlled Oscillator ; VCO) 1 0 4 d および N 分周回路 1 0 4 e をそなえて構成されている。

## 【 0 0 0 7 】

このような構成により、入力されたクロック CK は、N 分周回路 1 0 1 にて分周されてから可変遅延器 1 0 3 に入力される。可変遅延器 1 0 3 では、位相比較器 1 0 2 からの位相差情報をもとにして、N 分周されたクロックの位相を修正する。PL O 1 0 4 では、可変遅延器 1 0 3 からの信号を入力されて、データ DT に同期した、入力クロック CK と同一の周波数のクロック CK 1 を生成する。

## 【 0 0 0 8 】

ところで、近年、1 0 G b p s 程度の伝送速度を持つ伝送装置が実用化されているが、4 0 G b p s 程度の伝送速度を持つ伝送装置についても開発が進んでいる。このような 4 0 G b p s 程度のデータについて、上述のごとき位相調整するための回路を構成する場合には、一般的なプリント基板 (FR-4) を用いた回路では、回路素子の特性から実現が困難となる。

## 【 0 0 0 9 】

すなわち、4 0 G b p s 程度の伝送速度を持つ信号の 1 タイムスロット幅は約 4 m m しかなく、このような伝送速度の信号に対しては位相調整技術を高めることが必要となるが、このような伝送速度の電気信号を直接位相調整することは回路素子の特性から不可能である。

そこで、図 2 2 に示すように、入力信号についてシリアル／パラレル変換し（S／P）、パラレル変換された個々の信号を低速化したものについて、それぞれに対して前述の図 2 0 と同様の手法で位相調整を行なった後、再度多重化することが考えられる。この図 2 2 に示す回路は、シリアル入力されたデータを  $n$  系列のデータ  $DT1 \sim DTn$  にパラレル変換されたものが入力されて、各データ  $DT1 \sim DTn$  のそれぞれについて同期するクロックを個別に生成するようになっている。

#### 【0 0 1 0】

すなわち、位相比較器  $102-1 \sim 102-n$  では、対応するデータ  $DT1 \sim DTn$  と、 $N$  分周回路  $101$  にて  $N$  分周されたクロックとの位相を比較する。また、各可変遅延器  $103-1 \sim 103-n$  では、対応する位相比較器  $102-1 \sim 102-n$  からの位相差情報をもとにして、 $N$  分周されたクロックの位相を修正する。 $PLO104-1 \sim 104-n$  では、可変遅延器  $103-1 \sim 103-n$  からの信号を入力されて、対応するデータ  $DT1 \sim DTn$  に同期した、入力クロック  $CK$  と同一の周波数のクロック  $CK1 \sim CKn$  を生成する。

#### 【0 0 1 1】

##### 【発明が解決しようとする課題】

しかしながら、このような図 2 2 に示すような回路においては、伝送速度の増加に従って並列ラインの数が増加すると、各パラレルデータ間で共用化しない位相比較部、可変遅延器および  $PLO$  の組が多数組必要となり、装置サイズを大きくするだけでなく、部品数の増加に伴いコストが増加するとともに多重化エラーを生ずる可能性も増加するという課題がある。

#### 【0 0 1 2】

本発明はこのような課題に鑑み創案されたもので、並列ラインの数が増加した回路を構築する際においても、装置サイズの増大、ひいてはコスト増大を抑制することができるようにした、並列信号自動位相調整回路を提供することを目的とする。

#### 【0 0 1 3】

##### 【課題を解決するための手段】



このため、第1の発明の並列信号自動位相調整回路は、クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、上記のデータ信号またはクロック信号として用いられる周波数よりも小さい所定の周波数信号を生成する生成部と、入力されるクロック信号の周波数に対して該生成部からの上記所定の周波数信号分低い周波数のクロック信号を発振する発振回路とをそなえ、とともに、上記の各データ信号および発振回路からのクロック信号における位相比較情報と、上記の各データ信号、発振回路からのクロック信号および生成部からの信号における周波数情報と、を用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴としている。

## 【 0 0 1 4 】

また、第2の発明の並列信号自動位相調整回路は、クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、入力されるクロック信号の周波数を所定周波数分低減された周波数のクロック信号を発振する発振回路をそなえ、とともに、上記各データ信号および該発振回路からのクロック信号における、位相比較情報と、それぞれの周波数情報と、をパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記各データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴としている。

## 【 0 0 1 5 】

さらに、第3の発明の並列信号自動位相調整回路は、クロック信号とともに複数系列のデータ信号を並列入力されて、上記クロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、上記のクロック信号をデータ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられ、かつ、上記各調整回路が、上記のクロック信号およびデータ信号の位相を比較する位相比較器と、該位相比較器からの位相比較

情報をパラメータとして用いた三角関数演算に基づいて、上記のクロック信号をデータ信号に同期するように調整して出力する三角関数演算部と、をそなえて構成されたことを特徴としている。

#### 【 0 0 1 6 】

また、上述の第 1 の発明の並列信号自動位相調整回路においては、好ましくは、該生成部からの周波数信号を入力される一方、上記の対応データ信号および調整対象となるクロック信号とを比較し、比較結果としての位相比較情報を上記入力された周波数信号における周波数情報とともに出力する位相比較／発振回路と、該発振回路からのクロック信号と位相比較／発振回路からの情報とを用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、そなえて構成する。

#### 【 0 0 1 7 】

さらに、上述の第 2 の発明の並列信号自動位相調整回路においては、好ましくは、該調整回路が、該発振回路にて低減される上記所定周波数と同一の周波数情報を発振するとともに上記の対応データ信号および調整対象となるクロック信号とを比較して、位相差情報として上記周波数情報として出力する位相比較／発振回路と、該発振回路からのクロック信号と位相比較／発振回路からの情報とをパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、そなえて構成する。

#### 【 0 0 1 8 】

##### 【発明の実施の形態】

以下、図面を参照することにより、本発明の実施の形態について説明する。

##### ( a 1 ) 第 1 実施形態の説明

図 1 は本発明の第 1 実施形態にかかる並列信号自動位相調整回路を示すブロック図であり、この図 1 に示す並列信号自動位相調整回路は、前述の図 1 9 に示すような装置 1 0 0 A ～ 1 0 0 C の間においてクロック信号とともにパラレルディジタルデータの伝送を行なう装置に適用しうるものである。

#### 【 0 0 1 9 】

ここで、第 1 実施形態にかかる並列信号自動位相調整回路 1 は、クロック信号  $CK1$  とともにパラレル信号としての複数系列のデータ信号  $DT1 \sim DTn$  を並列入力されて、上記のクロック信号を、各データ信号  $DT1 \sim DTn$  に同期するように調整するものであり、 $N$  分周回路 2、 $\Delta\omega$  発振器 10 および  $PLO$  (Phase Locked Oscillator) 20 をそなえとともに、各データ信号  $DT1 \sim DTn$  の系列に対応して位相比較・遅延回路  $30-1 \sim 30-n$  および周波数変換回路  $40-1 \sim 40-n$  をそなえて構成されている。

#### 【0020】

ここで、 $N$  分周回路 2 は、後述の  $PLO20$  の回路動作における周波数依存性を考慮して、入力されたクロック  $CK1$  を  $N$  分周させるものであり、これにより、クロック信号の周波数が高い場合であっても  $PLO20$  における回路動作を安定化させている。

さらに、生成部としての  $\Delta\omega$  発振器 10 は、データ信号  $DT1 \sim DTn$  またはクロック信号  $CK1$  の周波数  $\omega$  よりも小さい所定の周波数  $\Delta\omega$  の信号を生成する低周波発振器であって、この  $\Delta\omega$  発振器 10 にて生成された信号は、 $PLO20$  および位相比較・遅延回路  $30-1 \sim 30-n$  に出力されるようになっている。

#### 【0021】

また、発振回路としての  $PLO20$  は、 $N$  分周回路 2 に入力されるクロック信号の周波数  $\omega$  よりも  $\Delta\omega$  ( $\Delta\omega$  発振器 10 にて発生される周波数) 分低減された周波数 ( $\omega - \Delta\omega$ ) のクロック信号を、位相を固定して発振するものであって、詳細には図 2 に示すような構成を有している。なお、この  $PLO20$  において固定された位相を  $\angle 0$  とすれば、 $PLO20$  から出力されるクロック信号は周波数  $\omega - \Delta\omega$  で位相  $\angle 0$  を持つ信号として、図中、“ $(\omega - \Delta\omega) \angle 0$ ” と表記している。

#### 【0022】

なお、上述の所定周波数  $\Delta\omega$  としては、例えば数  $kHz \sim 1MHz$  程度の周波数とすることができる。

ここで、上述の  $PLO20$  は、この図 2 に示すように、位相比較回路 21、ローパスフィルタ 22、アンプ 23、 $VCO24$ 、周波数変換回路 25 および  $N$  分

周回路 26 をそなえて構成されている。

【0023】

ここで、位相比較回路 21 は、N 分周回路 26 からのクロック信号の位相と N 分周回路 2 から入力されたクロック信号の位相とを比較して、その位相差に応じた電圧信号を出力するものであり、前述の図 21 に示す PLO104 の位相比較回路 104a と同様に構成することができる。

また、ローパスフィルタ 22 は、位相比較回路 21 からの位相比較結果の電圧信号について高周波成分を除去してアンプ 23 に出力するものである。更に、アンプ 23 は、ローパスフィルタ 22 を通過した電圧信号を入力され、この電圧信号について VCO24 に対する制御電圧信号用に増幅するものである。

【0024】

すなわち、位相比較回路 21 からの位相比較結果の電圧信号は、緩和時間を持つローパスフィルタ 22 を介して VCO24 に印加されるようになっている。なお、アンプ 23 の増幅率は、位相比較回路 21 において位相が完全に一致しているとき、VCO24 において、N 分周回路 2 からのクロック信号の N 倍の周波数  $\omega$  よりも  $\Delta\omega$  低減された周波数  $(\omega - \Delta\omega)$  のクロック信号を発生するように設定されている。

【0025】

また、周波数変換回路 25 は、VCO24 から出力されたクロック信号と  $\Delta\omega$  発振器 10 からの周波数  $\Delta\omega$  の信号とを入力されて、N 分周回路 2 における分周前のクロック信号に対応する周波数  $\omega$  の信号に変換するものであって、以下の式 (1) の演算と等価の信号処理を行なうことにより実現される。なお、この周波数変換回路 25 は、詳細には後述する周波数変換回路 40-1 ~ 40-n と同様に構成することができる。

【0026】

$$\begin{aligned}
 V_{OUT} &= V_0 \sin(\omega - \Delta\omega)t \cdot \cos(\Delta\omega t) + V_0 \cos(\omega - \Delta\omega) \\
 &\quad \cdot \sin(\Delta\omega t) \\
 &= V_0 \sin[(\omega - \Delta\omega)t + \Delta\omega t] \\
 &= V_0 \sin \omega t \quad \dots (1)
 \end{aligned}$$

さらに、N分周回路26は、周波数変換回路25にて周波数 $\omega$ に周波数変換された信号について、上述の位相比較回路21における位相比較用にN分周するものである。

## 【0027】

さらに、各データ信号DT1～DTnの系列に対応してそなえられた、位相比較・遅延回路（位相比較器）30-1～30-nはそれぞれ、データ信号DT1～DTnと後述の周波数変換回路40-1～40-nから出力されるクロック信号との位相を比較し、比較結果としての位相差 $\delta$ を $\Delta\omega$ 発振器10にて発生された周波数情報とともに出力するものである。具体的には、 $\Delta\omega$ 発振器10にて発生された所定周波数 $\Delta\omega$ を有する信号に、比較結果としての位相差 $\delta$ を組み込んで周波数変換回路40-1～40-nに出力するようになっている。

## 【0028】

また、この位相比較・遅延回路30-1～30-nは、詳細には例えば図3に示すように、位相比較回路31および遅延回路32をそなえて構成されている。更に、位相比較回路31は例えば図4に示すように構成され、遅延回路32については例えば図6に示すように構成されている。なお、図中、この位相比較・遅延回路30-1～30-nから出力される、周波数 $\Delta\omega$ で位相差情報 $\delta$ を有する信号について、“ $\Delta\omega\angle\delta$ ”と表記している。

## 【0029】

ここで、位相比較回路31は、この図4に示すように反転回路31a，AND回路31b，31cおよびコンパレータ31dをそなえて構成され、後述の周波数変換回路40-1～40-nにて出力されるクロック信号 $CK_{in}(\omega\angle 0)$ の位相と、対応するデータ信号DT1～DTnの位相とを比較するものであり、比較結果として位相差に応じた電圧信号を出力するようになっている。

## 【0030】

例えば、AND回路31bには、図5に示すデータ信号DTが入力されるとともにクロック信号CKが入力され、例えば時間帯T1のように、データ信号d1が入力されるとともにクロック信号が立ち上がっている場合には出力信号V1としてはハイレベル信号が出力される一方、時間帯T2のように、クロック信号が

立ち下がっている場合には、出力信号  $V_1$  としてはローレベル信号が出力される。

#### 【0031】

同様に、AND回路 31c には、図5に示すデータ信号  $DT$  が入力されるとともに反転クロック信号 ( $CK$  バー) が入力され、例えば時間帯  $T_2$  のように、データ信号  $d_1$  が入力されるとともに反転クロック信号が立ち上がっている場合には出力信号  $V_2$  としてはハイレベル信号が出力される一方、時間帯  $T_1$  のように、クロック信号が立ち下がっている場合には、出力信号  $V_2$  としてはローレベル信号が出力される。

#### 【0032】

コンパレータ 31d は、上述の2つのAND回路 31b, 31c から入力された信号  $V_1$ ,  $V_2$  の大小を比較して、この大小比較結果に応じた信号を出力するものである。例えば、 $V_1$  の値が  $V_2$  の値よりも大きい場合にはコンパレータ 31d ではハイレベル信号  $V_H$  を出力する一方、その逆の場合にはローレベル信号  $V_L$  を出力する。これにより、コンパレータ 31d では、クロック  $CK$  とデータ  $DT$  の位相のずれを示す信号  $V_d$  を出力できるようになっている。

#### 【0033】

さらに、上述の位相比較・遅延回路 30-1 ~ 30-n を構成する遅延回路 32 は、位相比較回路 31 からの位相差情報  $\delta$  とともに  $\Delta\omega$  発振器 10 からの周波数  $\Delta\omega$  の信号を入力されて、この周波数  $\Delta\omega$  の信号について位相  $\delta$  だけ遅延させて出力するものである。この遅延回路 32 としては、例えば図6に示すように、CR積分回路 32a およびシュミット回路 32b をそなえて構成することができる。

#### 【0034】

積分回路 32a は、位相比較回路 31 からの位相差情報  $\delta$  を示す電圧信号  $V_d$  に基づいて、その回路特性を可変できるようになっており、これにより、位相差情報に応じた積分乗数で積分処理を行なうことができる。また、シュミット回路 32b は、CR積分回路 32a で波形がなまった信号について、波形整形処理を施すことにより、パルスの立ち上がり時間を所定時間遅らせるものである。

## 【 0 0 3 5 】

ところで、上述の P L O 2 0 および位相比較・遅延回路 3 0 - 1 ~ 3 0 - n における処理においては、共通の周波数発振源としての  $\Delta \omega$  発振器 1 0 からの周波数  $\Delta \omega$  の信号を用いているので、P L O 2 0 と位相比較・遅延回路 3 0 - 1 ~ 3 0 - n とにおける  $\Delta \omega$  の値を常に等しくすることができ、位相補償機能を更に保持できるようになっている。

## 【 0 0 3 6 】

また、演算回路としての周波数変換回路 4 0 - 1 ~ 4 0 - n はそれぞれ、P L O 2 0 からのクロック信号  $(\omega - \Delta \omega) \angle 0$  と、位相比較・遅延回路 3 0 - 1 ~ 3 0 - n からの位相比較結果信号  $\Delta \omega \angle \delta$  とを用いた三角関数演算に基づいて、P L O 2 0 からのクロック信号を対応するデータ信号に同期するように調整して出力するものである。

## 【 0 0 3 7 】

具体的には、周波数変換回路 4 0 - 1 ~ 4 0 - n は、P L O 2 0 からのクロック信号  $(\omega - \Delta \omega) \angle 0$  と、位相比較・遅延回路 3 0 - 1 ~ 3 0 - n からの位相比較結果信号  $\Delta \omega \angle \delta$  とを入力されて、以下の式 ( 2 ) に示す三角関数演算を用いることにより、クロック信号をデータ信号との位相差に応じて調整するものである。

## 【 0 0 3 8 】

すなわち、クロック信号とデータ信号との位相差を  $\delta$  とし、クロック信号は、パルス波形を正弦波の波形と見なすと、以下に示す式 ( 2 ) のように表すことができるが、この式 ( 2 ) については、更に式 ( 3 ) に示すように変形することができる。

$$V_{CK} = V_0 \sin (\omega t + \delta) \quad \cdots (2)$$

$$\begin{aligned} V_{CK} &= V_0 \sin (\omega t + \delta) \\ &= V_0 \sin [(\omega - \Delta \omega) t + \Delta \omega t + \delta] \\ &= V_0 \sin (\omega - \Delta \omega) t \cdot \cos (\Delta \omega t + \delta) + V_0 \cos (\omega - \Delta \omega) t \cdot \sin (\Delta \omega t + \delta) \quad \cdots (3) \end{aligned}$$

具体的には、周波数変換回路 4 0 - 1 ~ 4 0 - n では、図 7 に示すように、ク

ロック信号  $(\omega - \Delta\omega) \angle 0$  および位相比較結果信号  $\Delta\omega \angle \delta$  をそれぞれ式 (4) および式 (5) に示すような正弦波関数として見なして周波数変換処理を行っている。即ち、上述の式 (3) の演算処理と等価の処理を行なうことにより、位相調整されたクロック信号、換言すれば、クロック信号の関数として、位相差  $\delta$  を時間  $t$  に依存しない定数として、三角関数で表すことができるのである。

$$(\omega - \Delta\omega) \angle 0 = V_0 \sin(\omega - \Delta\omega) t \quad \dots (4)$$

$$\Delta\omega \angle \delta = \sin(\Delta\omega t + \delta) \quad \dots (5)$$

ここで、周波数変換回路 40-1 ~ 40-n はそれぞれ、位相シフト部 ( $\pi/2$ ) 41, 42, 乗算回路 43, 44 および加算回路 45 をそなえて構成され、位相シフト部 41 および乗算回路 43 は上述の式 (3) の右辺を構成する第 2 項を演算し、位相シフト部 42 および乗算回路 44 は第 1 項を演算するようになっている。従って、上述の乗算回路 43, 44 の乗算結果を加算する加算回路 45 の出力は、式 (3) の左辺の値と等価となるのである。

#### 【0039】

したがって、周波数変換回路 40-1 ~ 40-n は、PLO20 からのクロック信号と位相比較・遅延回路 30-1 ~ 30-n からの情報とを用いた三角関数演算に基づいて、PLO20 からのクロック信号を対応データ信号に同期するように調整して出力する演算回路としての機能を有している。

また、上述の各系列のデータ信号 DTt に対応する一対の位相比較・遅延回路 30-t および周波数変換回路 40-t ( $t; 1 \sim n$ ) により、各データ信号の位相および PLO20 からのクロック信号の位相の位相比較情報と、上記のクロック信号およびデータ信号の周波数情報と、低減される周波数情報  $\Delta\omega$  と、をパラメータとして用いた三角関数演算に基づいて、PLO20 からのクロック信号を各データ信号に同期するように調整して出力する調整回路として機能する。

#### 【0040】

上述の構成により、本発明の第 1 実施形態にかかる並列信号自動位相調整回路 1 では、前述の図 19 に示す装置 100A ~ 100C 間においてパラレル信号を伝送する際に、クロック信号とともにデータ信号をパラレル信号形式で受信する側の装置では、クロック信号に同期してデータを取り込む前段において、クロッ



ク信号CKとデータ信号DT1～DTnの位相差を補償する。

【0041】

すなわち、PLO20では、N分周回路2にてN分周されたクロック信号を入力されるとともに、このクロック信号と、PLO20の出力信号と $\Delta\omega$ 発振器10からの周波数 $\Delta\omega$ の信号とから生成された信号とを比較し、比較結果として得られた位相情報を有する周波数 $\omega - \Delta\omega$ の信号（クロック信号）を生成して出力する。換言すれば、このPLO20にて生成されるクロック信号は、入力されるクロック信号の周波数 $\omega$ を所定周波数 $\Delta\omega$ 分低減された周波数（ $\omega - \Delta\omega$ ）のクロック信号を発振している。

【0042】

PLO20にて発生された信号は、各データ系列の周波数変換回路40-1～40-nに入力される。周波数変換回路40-1～40-nでは、上述のPLO20からの信号とともに、対応する位相比較・遅延回路30-1～30-nからの、データ信号との位相差情報 $\delta$ を有する周波数 $\Delta\omega$ の信号を入力されて、前述の式（3）と等価の信号処理を行なう。

【0043】

すなわち、この周波数変換回路40-1～40-nにおける信号処理により、各データ信号DT1～DTnとクロック信号との位相差が補償されたクロック信号CK1～CKnを得ることができる。なお、上述の $\Delta\omega$ は例えば数kHz～1MHzとし、装置周波数 $\omega$ に対して十分小さく設定することにより、位相差 $\delta$ を精度よく制御することができる。

【0044】

なお、前述の図19に示す受信側装置においては、上述のごとく、パラレル信号として入力された各データ信号DT1～DTnに対応して補償されたクロック信号CK1～CKnが得られると、後段の図示しない信号処理部において、位相差が補償されたクロックに同期してパラレル信号を構成する各データ信号DT1～DTnが取り込まれる。

【0045】

このように、本発明の第1実施形態にかかる並列信号自動位相調整回路1によ

れば、P L O 2 0 を各データ系列で共用化することで、前述の図 2 2 に示す場合のように各データ系列に対応した P L O をそなえる必要がなく、装置サイズの縮小化や部品点数の削減によるコスト削減を図ることができる利点がある。特に、並列ラインの数が増加した回路を構築する際においても、装置サイズの増大、ひいてはコスト増大を抑制することができる利点がある。

【 0 0 4 6 】

すなわち、第 1 実施形態にかかる回路 1 においては、単一の P L O 2 0 を共用化してそなえている一方、各データ系列に対応してそなえられた位相比較・発振回路 3 0 - 1 ~ 3 0 - n および周波数変換回路 4 0 - 1 ~ 4 0 - n のサイズは十分に小さいため、装置を小型化できる効果があると同時に、部品数の削減によるコストの削減を図ることができるのである。

【 0 0 4 7 】

また、 $\Delta \omega$  発振器 1 0 にて生成された信号を、P L O 2 0 および位相比較・遅延回路 3 0 - 1 ~ 3 0 - n において共通に使用しているので、P L O 2 0 および位相比較・遅延回路 3 0 - 1 ~ 3 0 - n にて生成される信号における  $\Delta \omega$  の成分の値を常に等しくすることができ、位相補償機能を更に保持できる。

( a 2 ) 第 1 実施形態の第 1 変形例の説明

図 1 0 ( a ) は本発明の第 1 実施形態の第 1 変形例にかかる並列信号自動位相調整回路を示すブロック図であり、この図 1 0 ( a ) に示す並列信号自動位相調整回路 1 A は、例えば図 8 に示す光通信システムにおける光中継再生器 ( Reg ) 3 0 2 , 3 0 3 において適用しうるものである。

【 0 0 4 8 】

ここで、この図 8 に示す光通信システムは、送信側装置 ( Tx ) 3 0 1 と受信側装置 ( Rx ) 3 0 4 とが光ファイバ 3 0 5 および光再生中継器 3 0 2 , 3 0 3 を介して接続されて、送信側装置 3 0 1 からの光信号が受信側装置 3 0 4 へ伝送されるようになっている。

また、光再生中継器 3 0 2 , 3 0 3 は、例えば図 9 に示すように、O / E ( Op tic / Electric ) 変換部 3 1 0 , シリアル / パラレル変換部 ( S / P ) 3 1 1 , パラレル信号処理部 3 1 2 , パラレル / シリアル変換部 ( P / S ) 3 1 3 および E

／O (Electric/Optic) 変換部 3 1 4 をそなえて構成されている。

【0049】

○／E 変換部 3 1 0 は、光ファイバ 3 0 5 から伝送光信号を入力されて、この光信号について電気信号に変換するものであり、シリアル／パラレル変換部 3 1 1 は、○／E 変換部 3 1 0 からのシリアル電気信号についてパラレル信号に変換するものである。

さらに、パラレル信号処理部 3 1 2 は、シリアル／パラレル変換部 3 1 1 から入力されたパラレル電気信号について所望の信号処理を施すものであり、このパラレル信号処理部 3 1 2 に、本実施形態にかかる並列信号自動位相調整回路 1 およびデータ間位相調整回路 5 0 [図 1 0 (a) 参照] を組み込むことができるようになっている。

【0050】

なお、パラレル／シリアル変換部 3 1 3 は、パラレル信号処理部 3 1 2 にて所望の信号処理の施されたパラレル信号について再びシリアル信号に変換するものであり、E／O 変換部 3 1 4 は、パラレル／シリアル変換部 3 1 3 からのシリアル電気信号について光信号に変換するものであり、変換された光信号は受信側装置 3 0 4 側の光ファイバ 3 0 5 へ送出されるようになっている。

【0051】

ところで、第 1 実施形態の第 1 変形例にかかる並列信号自動位相調整回路 1 A は、前述の第 1 実施形態における回路 1 の後段にデータ間位相調整回路 5 0 が接続されて構成されており、これにより、対となるクロック信号およびデータ信号の位相のみならず、各並列ラインのデータ信号間での位相を揃えることができ、後段のパラレル／シリアル変換部 3 1 3 における変換を容易なものとしている。

【0052】

すなわち、データ間位相調整回路 5 0 は、並列信号自動位相調整回路 1 の各周波数変換回路 4 0 - 1 ~ 4 0 - n (図 1 参照) から、調整されたクロック信号とともに対応するデータ信号とを入力され、最も遅れたクロック信号のタイミングに同期して、データ信号 D T 1 ~ D T n を出力するものである。

具体的には、各周波数変換回路 4 0 - 1 ~ 4 0 - n にて位相が補償されたクロ

ック信号CK1～CKnのうちで、最も遅れたクロック信号のタイミングに、全てのデータ信号を合わせることができるようになっており、これにより、各データ間においても位相を揃えて、後段の平行／シリアル変換部313における変換処理を容易なものとしている。

#### 【0053】

ここで、データ間位相調整回路50は、クロック選別回路51をそなえとともに、データ出力部としてのN個のDフリップフロップ(D-FF)52-1～52-(n-1)をそなえて構成されている。

クロック選別回路51は、入力されたN個のクロック信号のうちで最も遅れたクロック信号を選別するとともに、選別されたクロック信号に対応するデータ信号を出力するものである。また、各Dフリップフロップ(D-FF)52-1～52-(n-1)は、クロック選別回路51にて選別された結果のクロック信号のタイミングに基づいて、当該選別されたクロック信号に対応するデータ信号以外のデータ信号を同時に打ち出すものである。

#### 【0054】

換言すれば、Dフリップフロップ52-1～52-(n-1)は、データ信号系列ごとに設けられたもので、クロック選別回路51にて選別されたクロック信号に基づいて動作しうるものである。

上述の構成により、第1実施形態の第1変形例では、データ間位相調整回路50のクロック選別回路51において、各並列ラインのデータ信号およびクロック信号の対の中で、最も位相が遅れたデータ信号およびクロック信号を選別してこれを出力する。この場合においては、図10(a)に示すように、データ信号DT1およびクロック信号CK1の対を、位相が最も遅れているものとする。

#### 【0055】

データ信号DT1以外の他のデータ信号DT2～DTnはそれぞれ、Dフリップフロップ52-1～52-nに一旦保持され、クロック選別回路51にて選別されたクロック信号CK1に同期して出力される。なお、最も遅れたクロック信号に対応するデータ信号は、Dフリップフロップ52-1～52-(n-1)に保持されることなくそのまま出力される。これにより、位相が揃ったデータ信号

の組を得ることができる。

【 0 0 5 6 】

例えば、図 1 0 ( b ) に示すように、データ信号 D T 2 と、データ信号 D T 1 に対応するクロック信号との間に位相差  $\delta 1$  が生じている一方、D T 3 と、データ信号 D T 1 に対応するクロック信号との間には位相差  $\delta 2$  が生じている。

データ D T 1 に対応するクロック信号が最も送れたデータ系列 ( ライン ) のクロック信号であるとする、D フリップフロップ 5 2 - 1 , 5 2 - 2 において、このクロック信号に同期して信号を出力することにより、この図 1 0 ( b ) にデータ間位相調整後として示すように、これらのデータ信号 D T 2 および D T 3 とクロック信号との位相差  $\delta 1$  ,  $\delta 2$  を補償し、各データ信号 D T 1 ~ D T 3 を位相が揃った状態で出力することができる。

【 0 0 5 7 】

これにより、後段の平行 / シリアル変換部 3 1 3 においては、位相が揃った状態でデータ信号 D T 1 ~ D T n を入力されて、容易にシリアル信号に変換することができる。

このように、本発明の第 1 実施形態の第 1 変形例にかかる並列信号自動位相調整回路 1 A によれば、上述の第 1 実施形態の場合と同様の利点があるほか、データ間位相調整回路 5 0 により、簡易な回路構成で各データ信号間の位相が揃った信号を出力することができる利点がある。

【 0 0 5 8 】

例えば、I C 周辺のデータやクロックラインを同軸線を用いて接続し、この同軸線の長さを各ラインごとに調節することによってライン間の位相のバラツキを合わせこむ等の手法を用いる場合に課題点として生ずる、ディレイラインの長さを高い精度で調節する必要性がなくなる。

図 2 のように各 D T を、ある C K をトリガとしたフリップフロップによって打ち抜くことで位相が揃った D T のセットが得られる。しかしながら、図にも示すように、D T が変化している領域では、D T を打ち抜くことはできない。従って、互いに位相のずれた多数の D T ラインに対してこの方法を適用することは、データの打ち抜きが可能となる領域が狭くなるため難しくなるという欠点がある。

【 0 0 5 9 】

( a 3 ) 第 1 実施形態の第 2 変形例の説明

図 1 1 は本発明の第 1 実施形態の第 2 変形例にかかる並列信号自動位相調整回路を示すブロック図であり、この図 1 1 に示す並列信号自動位相調整回路 1 B も、前述の図 1 0 ( a ) に示す回路 1 A と同様に、図 8 に示す光通信システムにおける光中継再生器 ( Reg ) 3 0 2 , 3 0 3 に設けることができるものであるが、特に、データ信号間において 1 タイムスロット以上の位相のずれを有する場合においても、これを補償することができるようになっている。

【 0 0 6 0 】

すなわち、上述の第 1 実施形態の第 1 変形例にかかるデータ間位相調整回路 5 0 においては、例えば図 1 2 ( a ) に示すように、データ信号間 D T 1 , D T 2 の位相のずれが 1 タイムスロット以内に収まる場合に、これらの信号 D T 1 , D T 2 間の位相のずれを調整することができるようになっているが ( 図 1 2 ( b ) 参照 ) 、図 1 1 に示す回路 1 B によれば、1 タイムスロットを越える位相差の場合においても調整することができるようになっている。

【 0 0 6 1 】

ここで、この図 1 1 に示す並列信号自動位相調整回路 1 B は、前述の図 1 0 ( a ) に示す並列信号自動位相調整回路 1 A に比して、データ間位相調整回路 5 0 B の構成が異なる。

すなわち、第 1 実施形態の第 2 変形例におけるデータ間位相調整回路 5 0 B は、第 1 変形例と同様の構成のクロック選別回路 5 1 および D フリップフロップ 5 2 - 1 ~ 5 2 - ( n - 1 ) の後段に、各データ信号のビット情報に基づいて、1 タイムスロットを越える位相のずれを補償しうるレジスタ回路部 6 0 をそなえて構成されている。

【 0 0 6 2 】

ここで、レジスタ回路部 6 0 は、データ信号 D T 1 ~ D T n の系列ごとに対応して複数段縦続接続されたシフトレジスタ 6 1 - 1 ~ 6 1 - m をそなえたとともに、セレクト 6 2 をそなえて構成されている。

各データ系列のシフトレジスタ 6 1 - 1 ~ 6 1 - m は、対応するデータ信号を

クロック選別回路 5 1 または D フリップフロップ 5 2 - 1 ~ 5 2 - ( n - 1 ) からデータ入力されて保持するとともに、クロック選別回路 5 1 にて選別されたクロック信号をクロック入力されて動作するものである。換言すれば、シフトレジスタ 6 1 - 1 ~ 6 1 - m は、データ系列ごとのデータ信号についてタイムスロット単位で保持することができるようになっている。

【 0 0 6 3 】

すなわち、各シフトレジスタ 6 1 - 1 ~ 6 1 - m においては、クロック選別回路 5 1 からのクロック信号に基づいて、データ入力されたデータ信号を、同一タイミングで順次後段のシフトレジスタおよびセレクタ 6 2 に出力するようになっている。

また、セレクタ 6 2 は、入力されるセレクト用クロック C K に基づいて、各シフトレジスタ 6 1 - 1 ~ 6 1 - m から出力されたデータ信号のうちで、適当な一つのシフトレジスタ 6 1 - 1 ~ 6 1 - m からのデータ信号を選択的に出力するものである。

【 0 0 6 4 】

換言すれば、セレクタ 6 2 は、データ信号の系列ごとに設けられ、対応するデータ信号の系列における各シフトレジスタ 6 1 - 1 ~ 6 1 - m からの出力信号を入力されて、同一データタイミング抽出用のセレクト信号に基づいて各データ D T 1 ~ D T n を同一タイミングで出力できるようになっている。

なお、上述の同一データタイミング抽出用セレクト信号としてのクロック C K としては、図示しないデータ信号間を比較する処理部において、データ信号間のビット情報、例えば各データ信号間のフレームか又は特定の固定ビット等を比較して、フレーム同期させるタイミングか又は上記の特定の固定ビットが入力されたタイミングにおいて出力することができる。

【 0 0 6 5 】

これにより、セレクタ 6 2 においては、1 タイムスロットを超える位相差がデータ信号間で生じている場合にも、各データ信号を、位相を同期させて出力できるようになっているのである。

上述の構成により、本発明の第 1 実施形態の第 2 変形例においても、前述の第

1 実施形態の場合と同様に、各データ系列の位相比較・遅延回路 30-1 ~ 30-n および周波数変換回路 40-1 ~ 40-n により、データ信号 DT1 ~ DTn ごとに位相が調整されたクロック信号 CK1 ~ CKn を出力する。

【0066】

また、データ間位相調整回路 50B では、データ信号間の位相のずれを調整する。即ち、データ信号間における 1 タイムスロット以下の位相のずれについては、クロック選別回路 51 および D フリップフロップ 52-1 ~ 52-(n-1) にて位相を調整し、データ信号間における 1 タイムスロットよりも大きい位相のずれに対しては、シフトレジスタ回路部 60 において調整する。

【0067】

すなわち、セクタ 62 は、各シフトレジスタ 61-1 ~ 61-m から出力されたデータ信号のうちで、フレーム同期させるタイミングか又は特定の固定ビットが入力されたタイミングにおいて入力されるセレクト用クロック CK に基づき、適当なシフトレジスタ 61-1 ~ 61-m からのデータ信号を選択的に出力する。これにより、シフトレジスタ回路部 60 では、各データ信号を、データ信号間の 1 タイムスロットよりも大きい位相のずれを調整し、同期させて出力することができる。

【0068】

このように、本発明の第 1 実施形態の第 2 変形例にかかる並列信号自動位相調整回路 1B によれば、前述の第 1 実施形態および第 1 実施形態の第 1 変形例の場合と同様の利点があるほか、レジスタ回路部 60 により、1 タイムスロットを越える位相差の場合においても調整することができ、装置の多重化性能を向上させることができる利点がある。

【0069】

(a4) 第 1 実施形態の第 3 変形例の説明

図 13 は本発明の第 1 実施形態の第 3 変形例にかかる並列信号自動位相調整回路を示すブロック図であり、この図 13 に示す並列信号自動位相調整回路 1C は、前述の第 1 実施形態におけるもの（符号 1 参照）に比して、各位相比較・遅延回路 30-1 ~ 30-n における位相比較回路 31 からの位相差  $\delta$  に相当する電



圧信号（位相比較情報）の温度依存性を補償するための温度センサ 7 0 - 1 ~ 7 0 - n をそなえている点が異なっている。

#### 【 0 0 7 0 】

すなわち、この温度センサ 7 0 - 1 ~ 7 0 - n にて温度変化を検出すると、位相比較回路 3 1 における出力電圧信号を、図示しない抵抗等の回路素子を用いることによって温度依存性を補償すべく制御できるようになっている。

したがって、第 1 実施形態の第 3 変形例においても、前述の第 1 実施形態の場合と同様の利点があるほか、位相比較回路 3 1 の温度依存性を補償することができるので、クロック信号とデータ信号との位相差の調整の信頼性を飛躍的に高めることができる。

#### 【 0 0 7 1 】

##### （b）第 2 実施形態の説明

図 1 4 は本発明の第 2 実施形態にかかる並列信号位相自動調整回路を示すブロック図であり、この図 1 4 に示すこの並列信号自動位相調整回路 1 - 2 においても、前述の図 1 9 に示すような装置 1 0 0 A ~ 1 0 0 C の間においてクロック信号とともにパラレルディジタルデータの伝送を行なう装置に適用しうるものである。

#### 【 0 0 7 2 】

すなわち、この図 1 4 に示す並列信号自動位相調整回路 1 - 2 についても、前述の第 1 実施形態におけるものと同様、クロック信号とともに複数系列のデータ信号を並列入力されて、クロック信号を、各データ信号に同期するように調整するものである。

ここで、第 2 実施形態にかかる並列信号自動位相調整回路 1 - 2 は、前述の第 1 実施形態における回路 1（図 1 参照）に比して、 $\Delta \omega$  発振器 1 0 をそなえず、P L O 2 0 と異なる P L O 2 0' をそなえている点、および、位相比較・遅延回路 3 0 - 1 ~ 3 0 - n のかわりに位相比較・発振回路 3 0' - 1 ~ の 3 0' - n をそなえて構成されている点が異なっているが、その他の構成は図 1 に示す回路 1 と同様である。

#### 【 0 0 7 3 】

なお、図 1 4 中、図 1 と同一の符号は、同様の部分を示している。

発振回路としての P L O 2 0' は、詳細には前述の図 2 1 に示すものと同様、位相比較回路、ローパスフィルタ、アンプ、V C O および N 分周回路（符号 1 0 4 a ~ 1 0 4 e 参照）をそなえて構成されている。

また、この P L O 2 0' は、前述の図 1 に示す P L O 2 0 に比して、N 分周回路 2 に入力されるクロック信号の周波数  $\omega$  よりも  $\Delta \omega$  分低減された周波数  $(\omega - \Delta \omega)$  のクロック信号を、位相を固定して発振するものである点は共通するが、P L O 外部の  $\Delta \omega$  発振器 1 0 にて発生された周波数  $\Delta \omega$  の信号を用いずに、アンプ（図 2 0 の符号 1 0 4 c 参照）の増幅率を調整することのみによって、周波数  $(\omega - \Delta \omega)$  のクロック信号を生成するようになっている点が異なっている。

【 0 0 7 4 】

さらに、各データ信号 D T 1 ~ D T n の系列に対応してそなえられた、位相比較・発振回路 3 0' - 1 ~ 3 0' - n は、P L O 2 0' にて低減される周波数  $\Delta \omega$  と同一の周波数信号を発振するとともに、対応するデータ信号および調整対象となるクロック信号とを比較して、位相差情報として周波数情報  $\Delta \omega$  とともに出力するものである。具体的には、内部において発振した周波数  $\Delta \omega$  の信号に、比較結果としての位相差  $\delta$  を組み込んで周波数変換回路 4 0 - 1 ~ 4 0 - n に出力するようになっている。

また、位相比較・発振回路 3 0' - 1 ~ 3 0' - n は、それぞれ、詳細には図 1 5 に示すような構成を有している。即ち、この図 1 5 に示す位相比較・発振回路 3 0' - 1 ~ 3 0' - n は、前述の図 3 に示す位相比較・遅延回路 3 0 - 1 ~ 3 0 - n におけるものと同様の位相比較回路 3 1 および遅延回路 3 2 をそなえるとともに、発振回路 3 3 をそなえて構成されている。

【 0 0 7 5 】

また、発振回路 3 3 は、P L O 2 0 にてクロック信号の周波数  $\omega$  から低減される所定の周波数  $\Delta \omega$  に相当する周波数を持つ信号を発生するものである。これにより、遅延回路 3 2 においては、位相比較回路 3 1 からのデータ信号とクロック信号との位相差  $\delta$  と、発振回路 3 3 からの周波数  $\Delta \omega$  の信号とを入力されて、当該周波数  $\Delta \omega$  の信号について位相  $\delta$  だけ遅延させて出力することができるように

なっている。

【0076】

これにより、演算回路としての周波数変換回路40-1～40-nにおいては、前述の第1実施形態の場合と同様に、PLO20'からのクロック信号と位相比較・発振回路30'-1～30'-nからの情報とをパラメータとして用いた三角関数演算に基づいて、PLO20'からのクロック信号を、各対応するデータ信号に同期するように調整して出力するようになっている。

【0077】

上述の構成により、本発明の第2実施形態にかかる並列信号自動位相調整回路1-2においても、前述の図19に示す装置100A～100C間においてパラレル信号を伝送する際に、クロック信号とともにデータ信号をパラレル信号形式で受信する側の装置では、クロック信号に同期してデータを取り込む前段において、クロック信号CKとデータ信号DT1～DTnの位相差を補償する。

【0078】

すなわち、PLO20'では、N分周回路2にてN分周されて入力されたクロック信号に基づいて、位相が固定された周波数( $\omega - \Delta\omega$ )の信号、換言すれば、入力されるクロック信号の周波数 $\omega$ を所定周波数 $\Delta\omega$ 分低減された周波数( $\omega - \Delta\omega$ )のクロック信号を発振している。

PLO20'にて発生された信号は、各データ系列の周波数変換回路40-1～40-nに入力される。周波数変換回路40-1～40-nでは、上述のPLO20'からの信号とともに、データ信号との位相差情報 $\delta$ を有する周波数 $\Delta\omega$ の信号を、対応する位相比較・発振回路30'-1～30'-nから入力されて、前述の式(3)と等価の信号処理を行なう。即ち、この周波数変換回路40-1～40-nにおける信号処理により、各データ信号DT1～DTnとクロック信号との位相差が補償されたクロック信号CK1～CKnを得ることができる。

【0079】

なお、前述の図19に示す受信側装置においては、上述のごとくパラレル信号として入力された各データ信号DT1～DTnに対応して補償されたクロック信号CK1～CKnが得られると、後段の図示しない信号処理部において、位相差

が補償されたクロックに同期してパラレル信号を構成する各データ信号DT1～DTnを取り込む。

【0080】

このように、本発明の第2実施形態にかかる並列信号自動位相調整回路1-2によれば、PLO20'を各データ系列で共用化することで、前述の図22に示す場合のように各データ系列に対応したPLOをそなえる必要がなく、装置サイズの縮小化や部品点数の削減によるコスト削減を図ることができる利点がある。特に、並列ラインの数が増加した回路を構築する際においても、装置サイズの増大、ひいてはコスト増大を抑制することができる利点がある。

【0081】

すなわち、第2実施形態にかかる回路1-2においては、単一のPLO20'を共用化してそなえている一方、各データ系列に対応してそなえられた位相比較・発振回路30'-1～30'-nおよび周波数変換回路40-1～40-nのサイズは十分に小さいため、装置を小型化できる効果があると同時に、部品数の削減によるコストの削減を図ることができるのである。

【0082】

なお、上述の第2実施形態にかかる並列信号自動位相調整回路1-2においても、前述の第1実施形態の場合と同様に、図10(a)又は図11に示すようなデータ間位相調整回路50, 50Bをそなえるように構成してもよく、このようにしても前述の第1実施形態の場合と基本的に同様の作用効果を得ることができる。

(c) 第3実施形態の説明

図16は本発明の第3実施形態にかかる並列信号自動位相調整回路を示すブロック図であるが、この図16に示すこの並列信号自動位相調整回路1-3においても、前述の図19に示すような装置100A～100Cの間においてクロック信号とともにパラレルデジタルデータの伝送を行なう装置に適用しうるものである。

【0083】

すなわち、この図16に示す並列信号自動位相調整回路1-3についても、前

述の第 1 実施形態および第 2 実施形態におけるものと同様、クロック信号とともに複数系列のデータ信号を並列入力されて、クロック信号を、各データ信号に同期するように調整するものである。

ここで、この図 1 6 に示す並列信号自動位相調整回路 1 - 3 は、N 分周回路 2 をそなえとともに、クロック信号を各データ信号に同期するように調整して出力する調整回路としての位相補償回路 8 0 - 1 ~ 8 0 - n をそなえて構成されている。

#### 【 0 0 8 4 】

また、位相補償回路 8 0 - 1 ~ 8 0 - n はそれぞれ、N 分周回路 2 にて N 分周されたクロック信号と、対応するデータ系列のデータ信号 D T 1 ~ D T n を入力されて、当該データ信号との位相差が補償されたクロック信号を生成するものであって、詳細には図 1 7 に示すように、位相比較器 8 1，電圧発生回路 8 2，位相シフト部 ( $\pi/2$ ) 8 3，乗算回路 8 4，8 5 および加算回路 8 6 をそなえて構成されている。

#### 【 0 0 8 5 】

ここで、位相比較器 8 1 は、上述の N 分周回路 2 にて N 分周されたクロック信号およびデータ信号の位相を比較し、位相比較結果として位相差  $\delta$  に応じた電圧信号を出力するものであって、詳細には前述の図 3 に示す位相比較回路 3 1 と基本的に同様の構成を有している

また、電圧発生回路 8 2 は、位相比較器 8 1 からの位相差  $\delta$  を示す電圧信号を入力されて、後段の乗算回路 8 4，8 5 および加算回路 8 6 においてクロック信号についての演算を行なう際の係数値を示す電圧信号を発生するものである。

#### 【 0 0 8 6 】

換言すれば、後段の乗算回路 8 4，8 5 および加算回路 8 6 においては、クロック信号を正弦波あるいは余弦波と見なし、位相比較器 8 1 にて得られた位相差  $\delta$  の値に応じたクロック信号を、以下の式 (6) に示すような三角関数演算を用いて算出するようになっている。

すなわち、補償すべきデータ信号に対するクロック信号の位相差を  $\delta$  とし、N 分周回路 2 に入力されるクロック信号の周波数を  $\omega$  とすると、前述の式 (2) の

場合と同様、出力クロック信号  $V_{CK}$  を正弦波信号として表すことができるが、この式 (2) を式 (6) に示すように変形することによって、データ信号を打ち出すタイミングを調整することができるのである。

【0087】

$$\begin{aligned} V_{CK} &= V_0 \sin(\omega t + \delta) \\ &= V_0 \sin(\omega t) \cos(\delta) + V_0 \cos(\omega t) \sin(\delta) \\ &= V_0 \sin(\omega t) (1 - \alpha^2)^{1/2} + V_0 \cos(\omega t) \cdot \alpha \quad \dots (6) \end{aligned}$$

ここで、電圧発生回路 82 は、 $\alpha = \sin(\delta)$  とした場合における、上述の式 (6) における第 1 項の係数  $(1 - \alpha^2)^{1/2}$  および第 2 項の係数  $\alpha$  に相当する電圧信号を発生するものであり、第 1 項の係数に相当する電圧信号は乗算回路 85 に、第 2 項の係数に相当する電圧信号については乗算回路 84 に出力されるようになっている。

【0088】

また、この電圧発生回路 82 は、詳細には図 18 に示すように、位相比較器 81 からの位相差  $\delta$  に相当する電圧信号をディジタル信号に変換する A/D 変換部 82a、A/D 変換部 82a にてディジタル信号に変換された位相差情報  $\delta$  を用いて上述の 2 つの係数データを演算処理により算出する演算回路 82b、および演算回路 82b にて算出された 2 つの係数データについてアナログ信号としての電圧信号に変換する D/A 変換部 82c をそなえて構成されている。

【0089】

さらに、位相シフト部 83 は、N 分周回路 2 から入力されたクロック信号を  $\pi/2$  シフトするものであり、これにより、前述の式 (6) の第 1 項の周波数  $\omega$  についてのクロック信号を示す正弦波関数から第 2 項の余弦波関数に変換されるようになっている。

これにより、乗算回路 84 においては、上述の式 (6) における第 2 項を算出するとともに、乗算回路 85 においては、式 (6) における第 1 項を算出するようになっている。更に、加算回路 86 においては、乗算回路 84 および乗算回路 85 の演算結果を加算することにより、式 (6) の演算結果を出力できるように

なっている。

【0090】

したがって、上述の電圧発生回路82、位相シフト部83、乗算回路84、85および加算回路86により、位相比較器81からの位相比較情報をパラメータとして用いた三角関数演算に基づいて、クロック信号をデータ信号に同期するように調整して出力する三角関数演算部として機能する。

上述の構成により、本発明の第3実施形態にかかる並列信号自動位相補償回路1-3においても、前述の図19に示す装置100A~100C間においてパラレル信号を伝送する際に、クロック信号とともにデータ信号をパラレル信号形式で受信する側の装置では、クロック信号に同期してデータを取り込む前段において、クロック信号CKとデータ信号DT1~DTnの位相差を補償する。

【0091】

すなわち、データ系列ごとにそなえられた位相補償回路80-1~80-nにおいて、入力されたクロック信号とデータ信号との位相差 $\delta$ に応じた電気信号に基づいて係数値を算出することにより、式(6)に示す演算と等価の処理を行なって、データ信号を打ち出すタイミングを調整する。

このように、本発明の第3実施形態にかかる並列信号自動位相調整回路1-3によれば、前述の図22に示す回路の場合のごとき、各データ系列分の可変遅延器103-1~103-nおよびPLO104-1~104-nをそなえる必要がなく、装置サイズ的大幅な縮小化を図るとともに、部品点数の減少によって装置構成のためのコストを削減することも可能である。

【0092】

(d) その他

なお、上述の各実施形態における回路においては、第1実施形態の第1変形例および第2変形例の場合を除き、装置100A~100C間において、パラレル信号をやり取りする際に適用した場合について詳述しているが、本発明によれば、例えば図8および図9に示す場合のように、パラレル信号からシリアル信号に変換する前段における自動位相調整回路として適用することも、もちろん可能である。

## 【 0 0 9 3 】

## (e) 付記

(付記 1) クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、

上記のデータ信号またはクロック信号として用いられる周波数よりも小さい所定の周波数の信号を生成する生成部と、入力されるクロック信号の周波数に対して該生成部からの上記所定の周波数信号分低い周波数のクロック信号を発振する発振回路とをそなえとともに、

上記の各データ信号および発振回路からのクロック信号における位相比較情報と、上記の各データ信号、発振回路からのクロック信号および生成部からの信号における周波数情報と、を用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴とする、並列信号自動位相調整回路。

## 【 0 0 9 4 】

(付記 2) クロック信号とともに複数系列のデータ信号を並列入力されて、上記のクロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、

入力されるクロック信号の周波数を所定周波数分低減された周波数のクロック信号を発振する発振回路をそなえとともに、

上記各データ信号の位相および該発振回路からのクロック信号の位相の位相比較情報と、上記のクロック信号およびデータ信号の周波数情報と、上記低減される周波数情報と、をパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記各データ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられたことを特徴とする、並列信号自動位相調整回路。

## 【 0 0 9 5 】

(付記 3) クロック信号とともに複数系列のデータ信号を並列入力されて



、上記クロック信号を、各データ信号に同期するように調整する並列信号自動位相調整回路であって、

上記のクロック信号をデータ信号に同期するように調整して出力する調整回路を、上記複数系列のデータ信号に対応してそなえられ、

かつ、上記各調整回路が、

上記のクロック信号およびデータ信号の位相を比較する位相比較器と、

該位相比較器からの位相比較情報をパラメータとして用いた三角関数演算に基づいて、上記のクロック信号をデータ信号に同期するように調整して出力する三角関数演算部と、

をそなえて構成されたことを特徴とする、並列信号自動位相調整回路。

【 0 0 9 6 】

(付記 4) 各調整回路が、

該生成部からの信号を入力される一方、上記の対応データ信号および調整対象となるクロック信号とを比較し、比較結果としての位相比較情報を該生成部からの信号における周波数情報とともに出力する位相比較・遅延回路と、

該発振回路からのクロック信号と位相比較・遅延回路からの情報とを用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、

そなえて構成されたことを特徴とする、付記 1 記載の並列信号自動位相調整回路。

【 0 0 9 7 】

(付記 5) 各調整回路が、

該発振回路にて低減される上記所定周波数と同一の周波数情報を発振するとともに上記の対応データ信号および調整対象となるクロック信号とを比較して、位相差情報として上記周波数情報として出力する位相比較・発振回路と、

該発振回路からのクロック信号と位相比較・発振回路からの情報とをパラメータとして用いた三角関数演算に基づいて、該発振回路からのクロック信号を上記対応データ信号に同期するように調整して出力する演算回路とを、

そなえて構成されたことを特徴とする、付記 2 記載の並列信号自動位相調整回路

【 0 0 9 8 】

(付記 6) 上記の各調整回路にて調整されたクロック信号とともに対応するデータ信号とを入力され、最も遅れたクロック信号のタイミングに同期して、上記複数種類のデータを出力するデータ間位相調整回路をそなえて構成されたことを特徴とする、付記 1 ～ 3 のいずれか 1 項に記載の並列信号自動位相調整回路。

(付記 7) 該データ間位相調整回路が、

上記の各調整回路にて調整されたクロック信号のうちで最も遅れたタイミングを有するクロック信号を選別するクロック選別回路と、

該クロック選別回路にて選別されたクロック信号に基づいて、該クロック選別回路にて選別されたクロック信号に対応するデータ信号以外のデータ信号を同一タイミングで出力するデータ出力部と、

をそなえて構成されたことを特徴とする、付記 6 記載の並列信号自動位相調整回路。

【 0 0 9 9 】

(付記 8) 該データ出力部が、上記データ信号系列ごとに設けられ、上記選別されたクロック信号に基づいて動作しうるフリップフロップにより構成されたことを特徴とする、付記 7 記載の並列信号自動位相調整回路。

(付記 9) 該データ間位相調整回路が、

上記の各調整回路にて調整されたクロック信号のうちで最も遅れたタイミングを有するクロック信号を選別するとともに、選別されたクロック信号に対応するデータ信号を出力するクロック選別回路と、

該クロック選別回路にて選別されたクロック信号に基づいて、上記の各データを同一タイミングで出力するデータ出力部と、

各データ信号のビット情報に基づいて、1 タイムスロットを超える位相のずれを補償しうるレジスタ回路部と、

をそなえて構成されたことを特徴とする、付記 6 記載の並列信号自動位相調整回路。

【0100】

(付記10) 該レジスタ回路部が、

上記データ信号の系列ごとのデータについてタイムスロット単位で保持しうるシフトレジスタが、複数段縦続接続されるとともに、

上記のデータ信号の系列ごとに設けられ、対応するデータ信号の系列における各シフトレジスタからの出力信号を入力されて、同一データタイミング抽出用のセレクト信号に基づいて上記の各データを同一タイミングで出力しうるセクタを、

そなえて構成されたことを特徴とする、付記9記載の並列信号自動位相調整回路

。

【0101】

(付記11) 各調整回路に、上記位相比較情報の温度依存性を補償する温度センサをそなえて構成されたことを特徴とする、付記1～3のいずれか1項に記載の並列信号自動位相調整回路。

【0102】

【発明の効果】

以上詳述したように、請求項1、2、4、5記載の本発明によれば、調整回路をそなえたことにより、発振回路を各データ系列で共用化することで、各データ系列に対応したP L Oをそなえる必要がなく、装置サイズの縮小化や部品点数の削減によるコスト削減を図ることができる利点がある。特に、並列ラインの数が増加した回路を構築する際においても、装置サイズの増大、ひいてはコスト増大を抑制することができる利点がある。

【0103】

また、請求項1記載の本発明によれば、生成部および調整回路をそなえたことにより、この生成部にて生成された信号を、発振回路および調整回路において共通に使用することができるので、発振回路および調整回路にて生成される信号における所定周波数成分の値を常に等しくすることができ、位相補償機能を更に保持できる。

【0104】

さらに、請求項 3 記載の本発明によれば、調整回路をそなえたことにより、各データ系列分の可変遅延器や P L O をそなえる必要がなく、装置サイズの大幅な縮小化を図るとともに、部品点数の減少によって装置構成のためのコストを削減することも可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態にかかる並列信号自動位相調整回路を示すブロック図である。

【図 2】

第 1 実施形態における P L O の構成を示すブロック図である。

【図 3】

第 1 実施形態における位相比較・遅延回路を示すブロック図である。

【図 4】

第 1 実施形態における位相比較回路を示す図である。

【図 5】

第 1 実施形態における位相比較・遅延回路の動作を説明するための図である。

【図 6】

第 1 実施形態における遅延回路を示すブロック図である。

【図 7】

第 1 実施形態における周波数変換回路を示すブロック図である。

【図 8】

第 1 実施形態の第 1 変形例において適用される光通信システムを示すブロック図である。

【図 9】

光再生中継器の要部を示すブロック図である。

【図 10】

(a) は第 1 実施形態の第 1 変形例にかかる並列信号自動位相調整回路を示すブロック図、(b) は第 1 実施形態の第 1 変形例の動作を説明するための図である。

【図 1 1】

第 1 実施形態の第 2 変形例にかかる並列信号自動位相調整回路を示すブロック図である。

【図 1 2】

(a), (b) はいずれも第 1 実施形態の第 1 変形例および第 2 変形例にかかる並列信号自動位相調整回路の動作の相違を説明するための図である。

【図 1 3】

第 1 実施形態の第 3 変形例にかかる並列信号自動位相調整回路を示すブロック図である。

【図 1 4】

本発明の第 2 実施形態にかかる並列信号自動位相調整回路を示すブロック図である。

【図 1 5】

第 2 実施形態における位相比較・発振回路を示すブロック図である。

【図 1 6】

本発明の第 3 実施形態にかかる並列信号自動位相調整回路を示すブロック図である。

【図 1 7】

第 3 実施形態における位相補償回路を示すブロック図である。

【図 1 8】

第 3 実施形態における位相補償回路の要部を示すブロック図である。

【図 1 9】

装置間においてパラレルデジタル信号が送受信されるシステムを説明する図である。

【図 2 0】

データとクロックとの間の位相を自動調整するための並列信号自動位相調整回路を示す図である。

【図 2 1】

図 2 0 に示す回路の要部構成を示すブロック図である。

【図 2 2】

パラレル信号を位相調整する回路を示す図である。

【符号の説明】

- 1, 1 A ~ 1 C, 1 - 2, 1 - 3 並列信号自動位相調整回路
- 2 N分周回路
- 1 0  $\Delta \omega$  発振器 (生成部)
- 2 0, 2 0' P L O (発振回路)
- 2 1 位相比較回路
- 2 2 ローパスフィルタ
- 2 3 アンプ
- 2 4 V C O
- 2 5 周波数変換回路
- 2 6 N分周回路
- 3 0 - 1 ~ 3 0 - n 位相比較・遅延回路
- 3 0' - 1 ~ 3 0' - n 位相比較・発振回路
- 3 1 位相比較回路
- 3 1 a 反転回路
- 3 1 b, 3 1 c A N D 回路
- 3 1 d コンパレータ
- 3 2 遅延回路
- 3 2 a C R 積分回路
- 3 2 b シュミット回路
- 3 3 発振回路
- 4 0 - 1 ~ 4 0 - n 周波数変換回路 (演算回路)
- 4 1, 4 2 位相シフト部
- 4 3, 4 4 乗算回路
- 4 5 加算回路
- 5 0, 5 0 B データ間位相調整回路
- 5 1 クロック選別回路

- 5 2 - 1 ~ 5 2 - ( n - 1 )    D フリップフロップ ( データ出力部 )
- 6 0    レジスタ回路部
- 6 1 - 1 ~ 6 1 - m    シフトレジスタ
- 6 2    セレクタ
- 7 0 - 1 ~ 7 0 - n    温度センサ
- 8 0 - 1 ~ 8 0 - n    位相補償回路 ( 調整回路 )
- 8 1    位相比較器
- 8 2    電圧発生回路
- 8 2 a    A / D 変換部
- 8 2 b    演算回路
- 8 2 c    D / A 変換部
- 8 3    位相シフト部
- 8 4 , 8 5    乗算回路
- 8 6    加算回路
- 1 0 0 A ~ 1 0 0 C    装置
- 1 0 1 , 1 0 4 e    N 分周回路
- 1 0 2 , 1 0 2 - 1 ~ 1 0 2 - n    位相比較器
- 1 0 3 , 1 0 3 - 1 ~ 1 0 3 - n    可変遅延器
- 1 0 4 , 1 0 4 - 1 ~ 1 0 4 - n    P L O
- 1 0 4 a    位相比較回路
- 1 0 4 b    ローパスフィルタ
- 1 0 4 c    アンプ
- 1 0 4 d    V C O
- 3 0 1    送信側装置
- 3 0 2 , 3 0 3    光再生中継器
- 3 0 4    受信側装置
- 3 1 0    O / E 変換部
- 3 1 1    シリアル / パラレル変換部
- 3 1 2    パラレル信号処理部

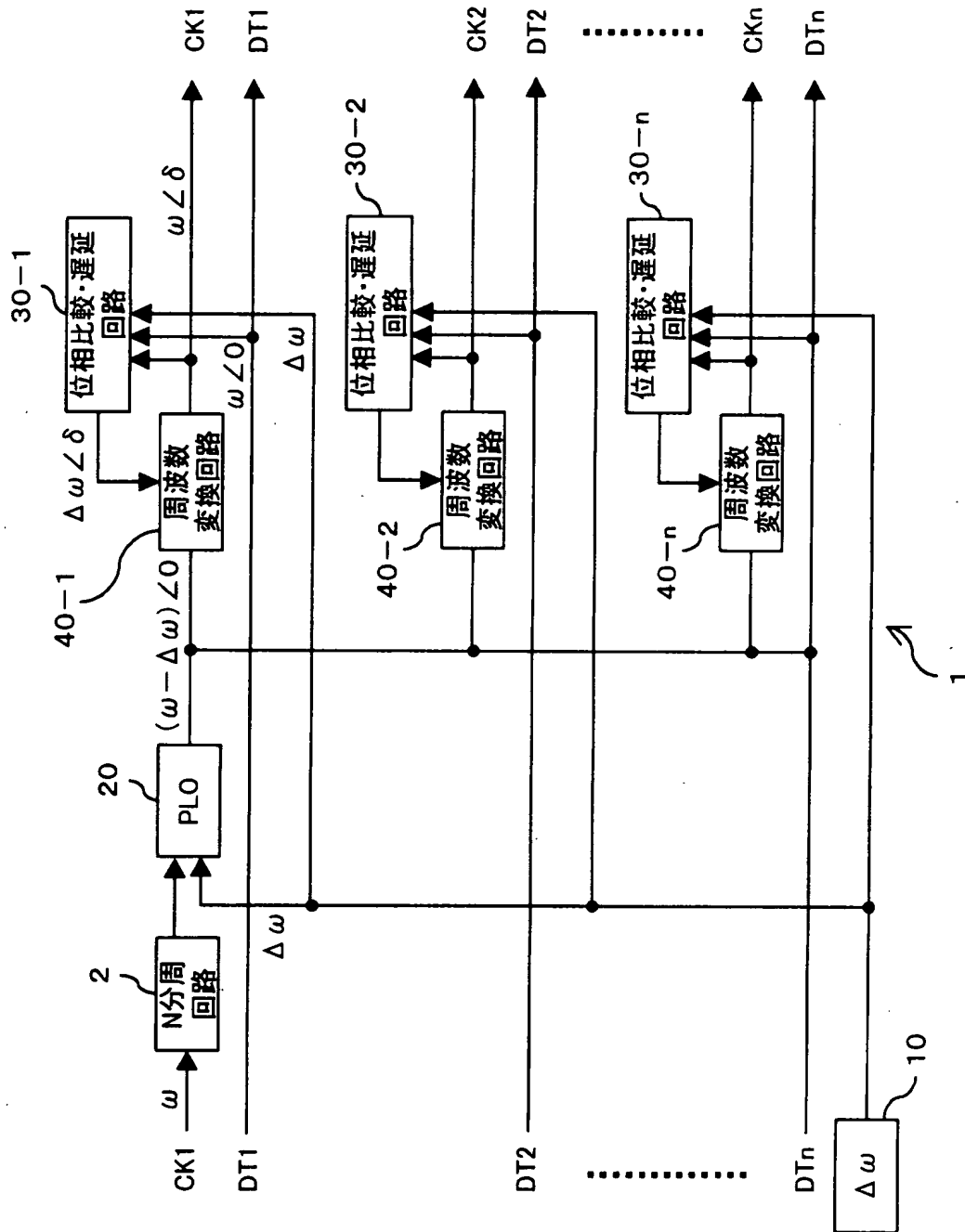
3 1 3 パラレル／シリアル変換部

3 1 4 E／O変換部

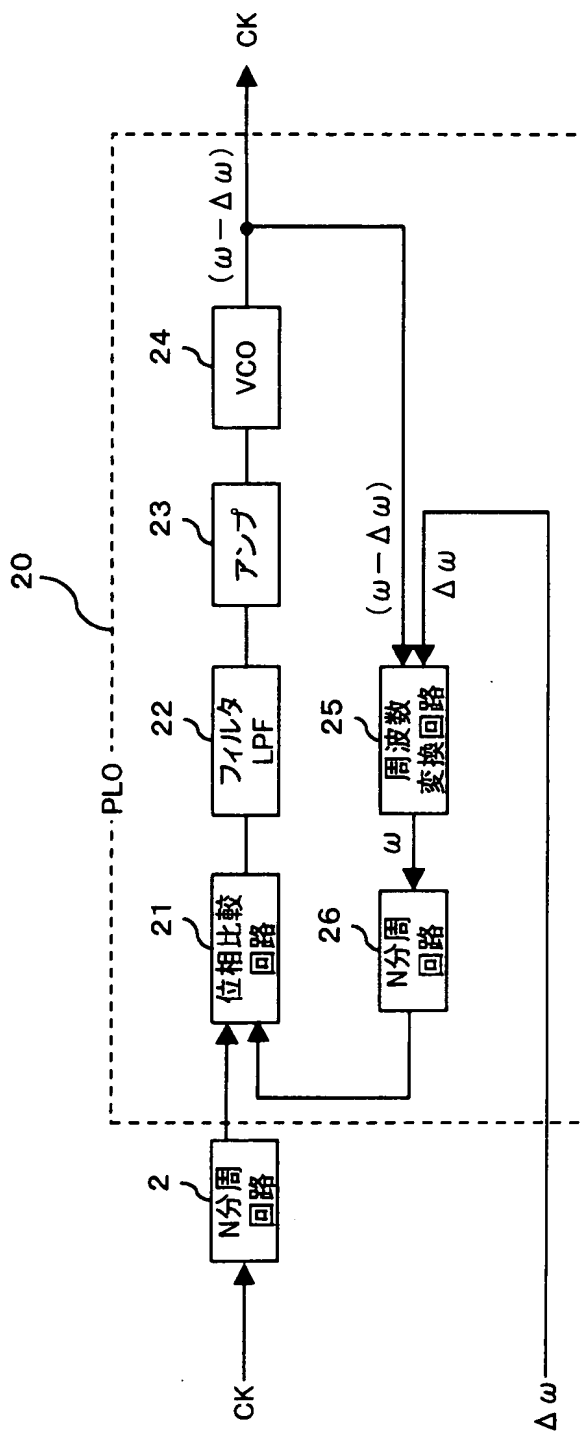


【書類名】 図面

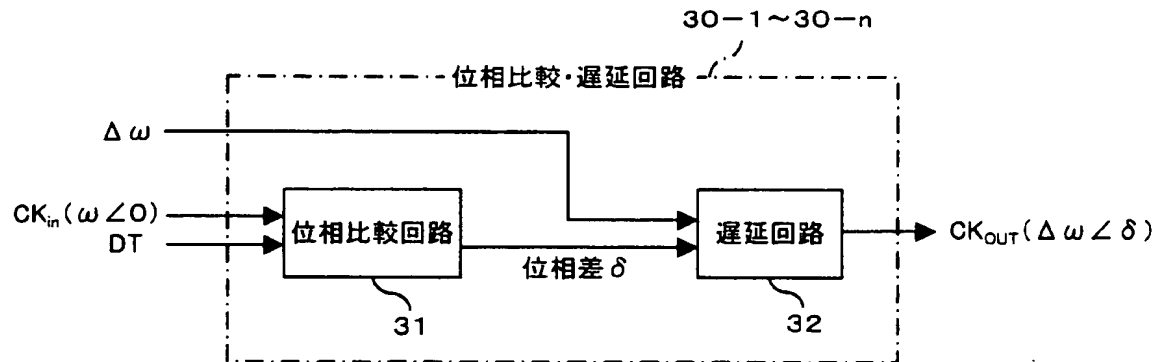
【図 1】



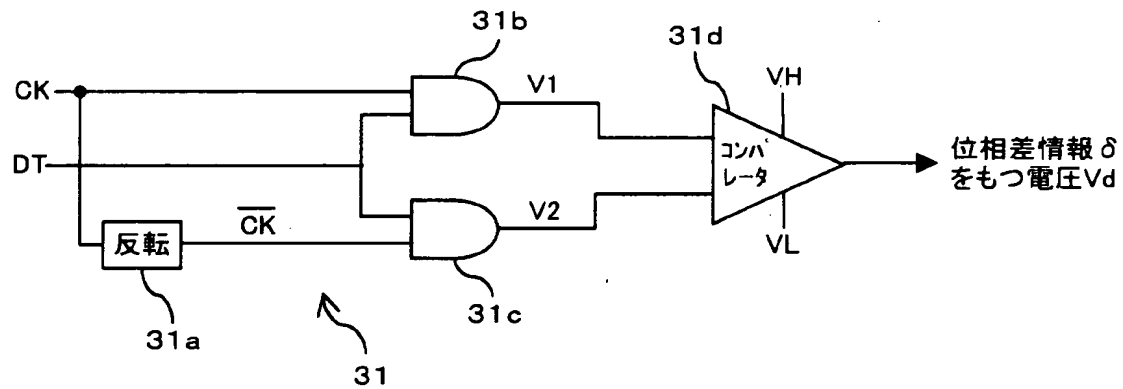
【図 2】



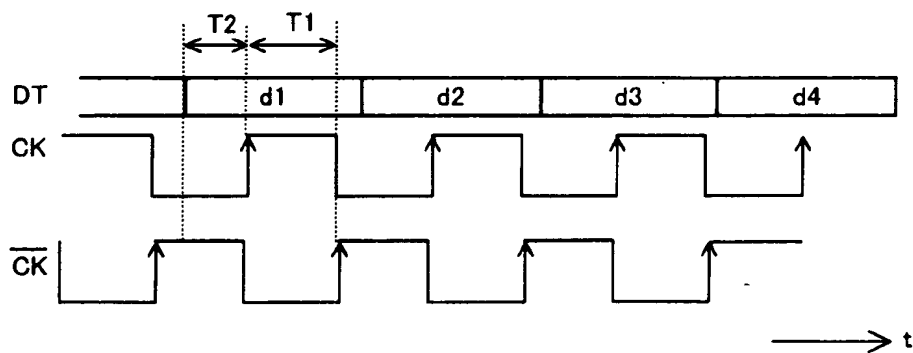
【図 3】



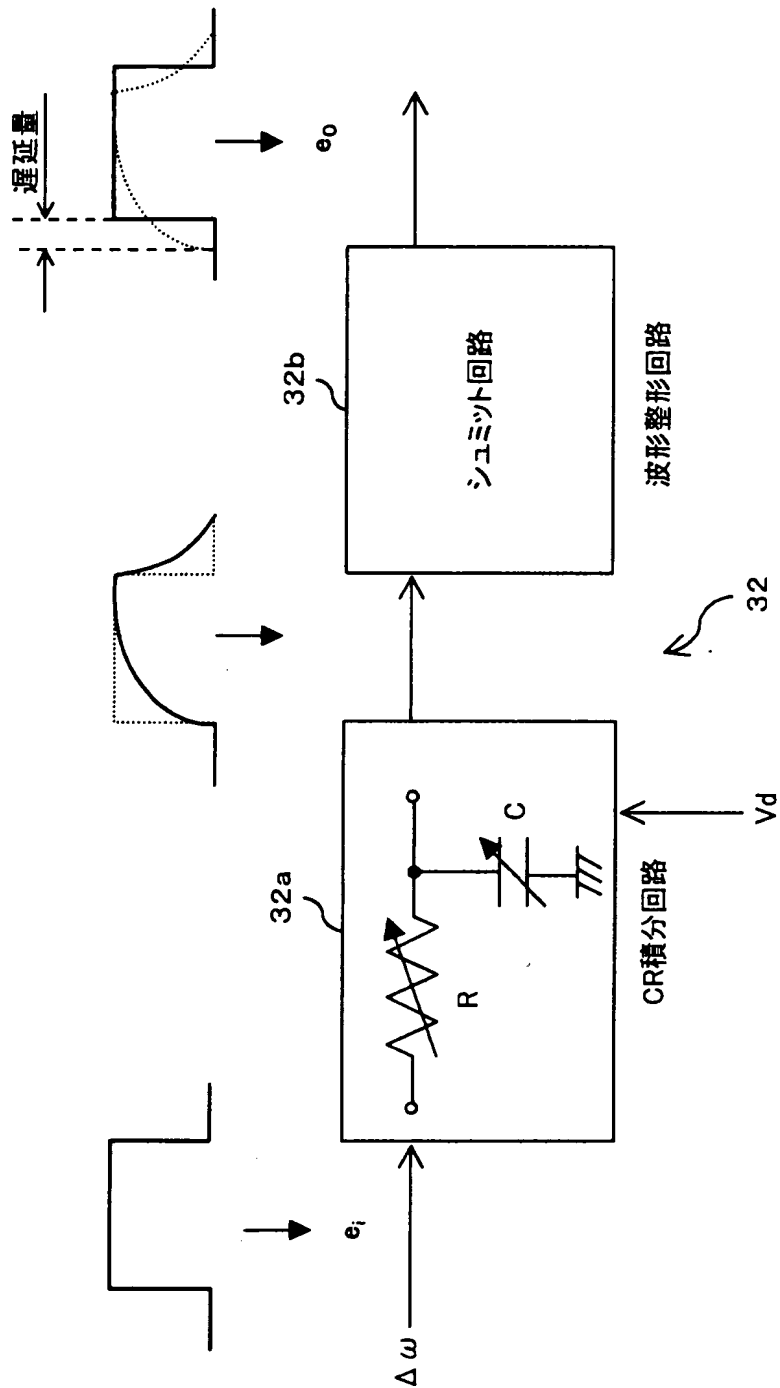
【図 4】



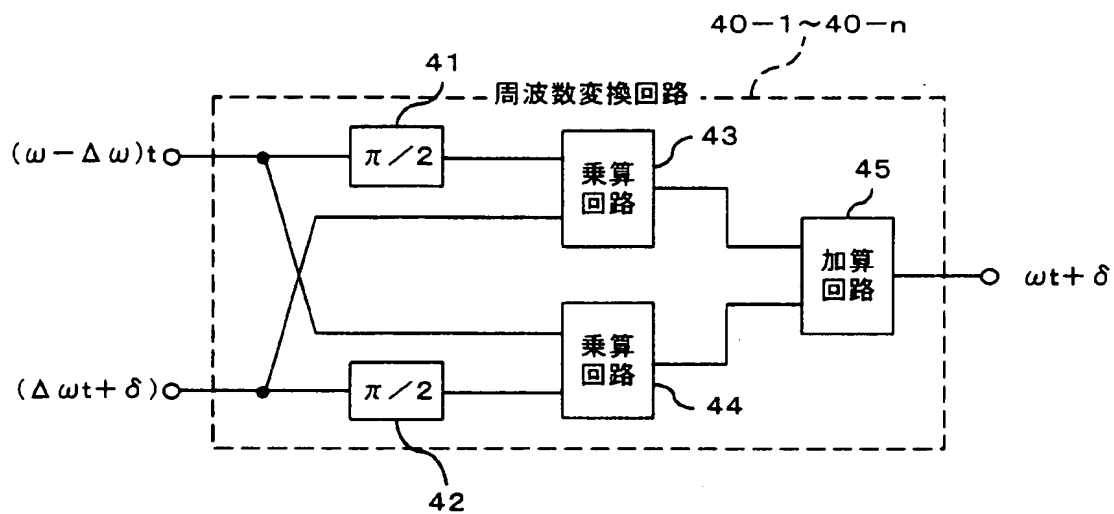
【図 5】



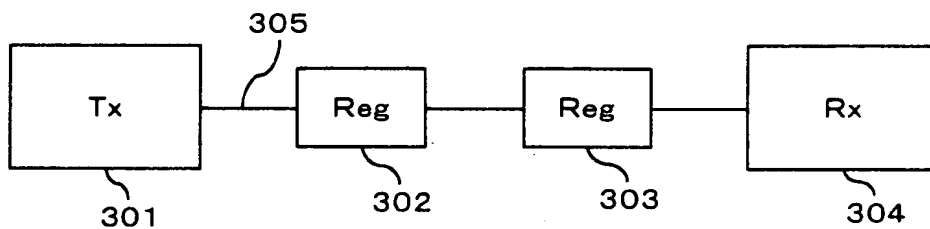
【図 6】



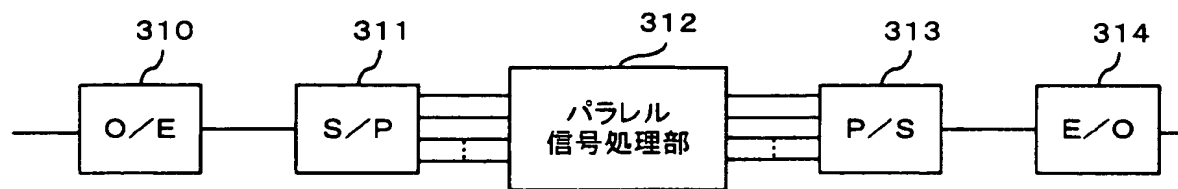
【図 7】



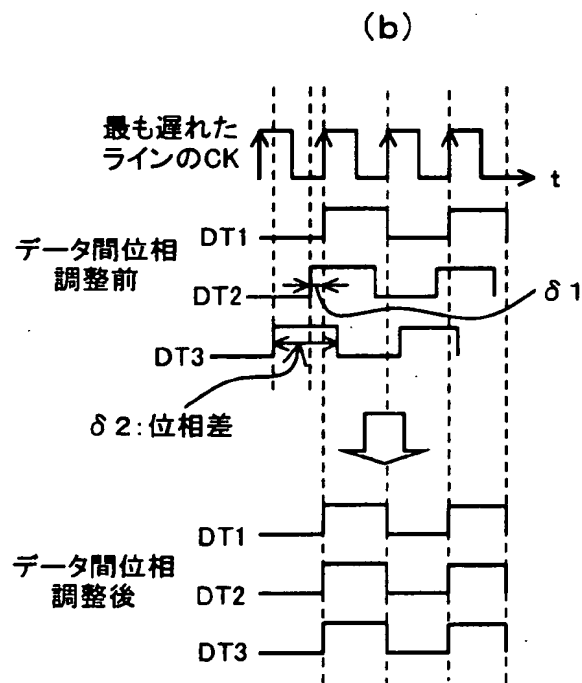
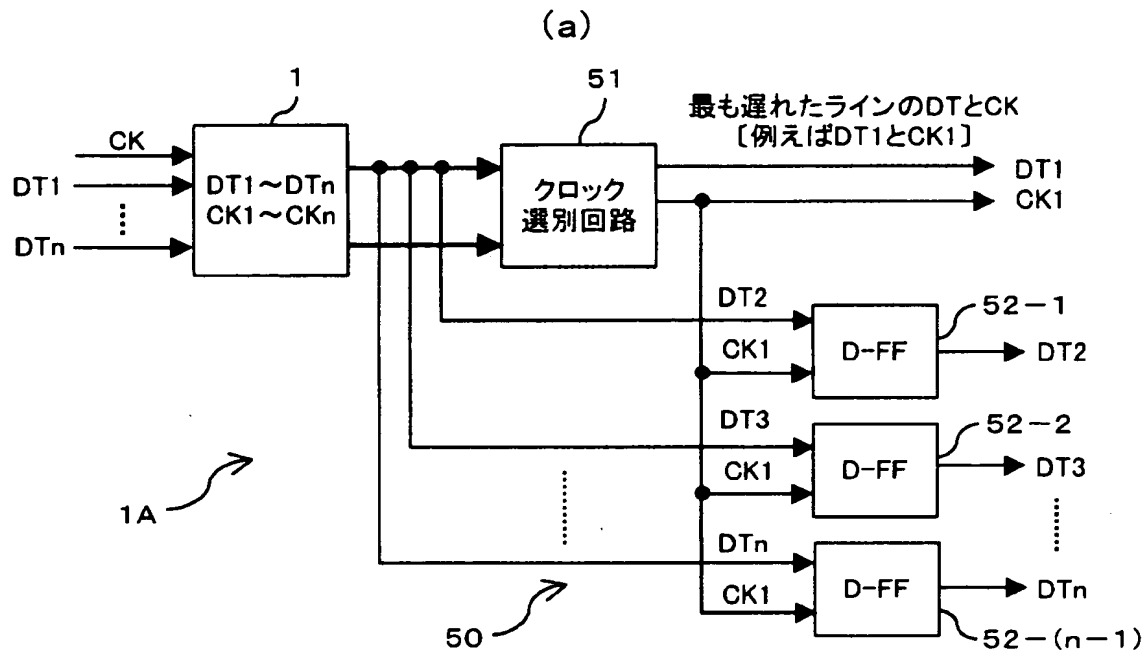
【図 8】



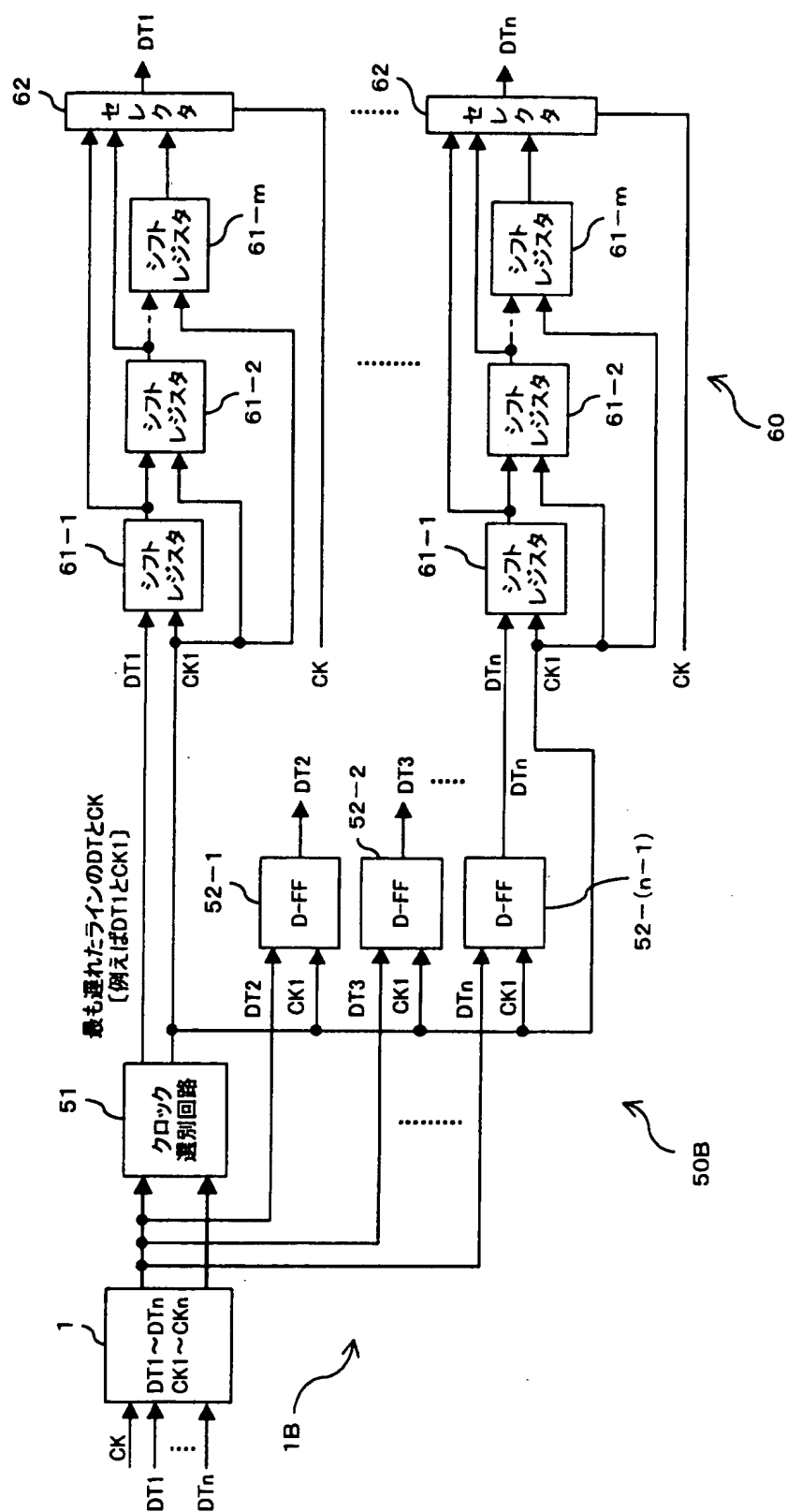
【図 9】



【図 1 0】

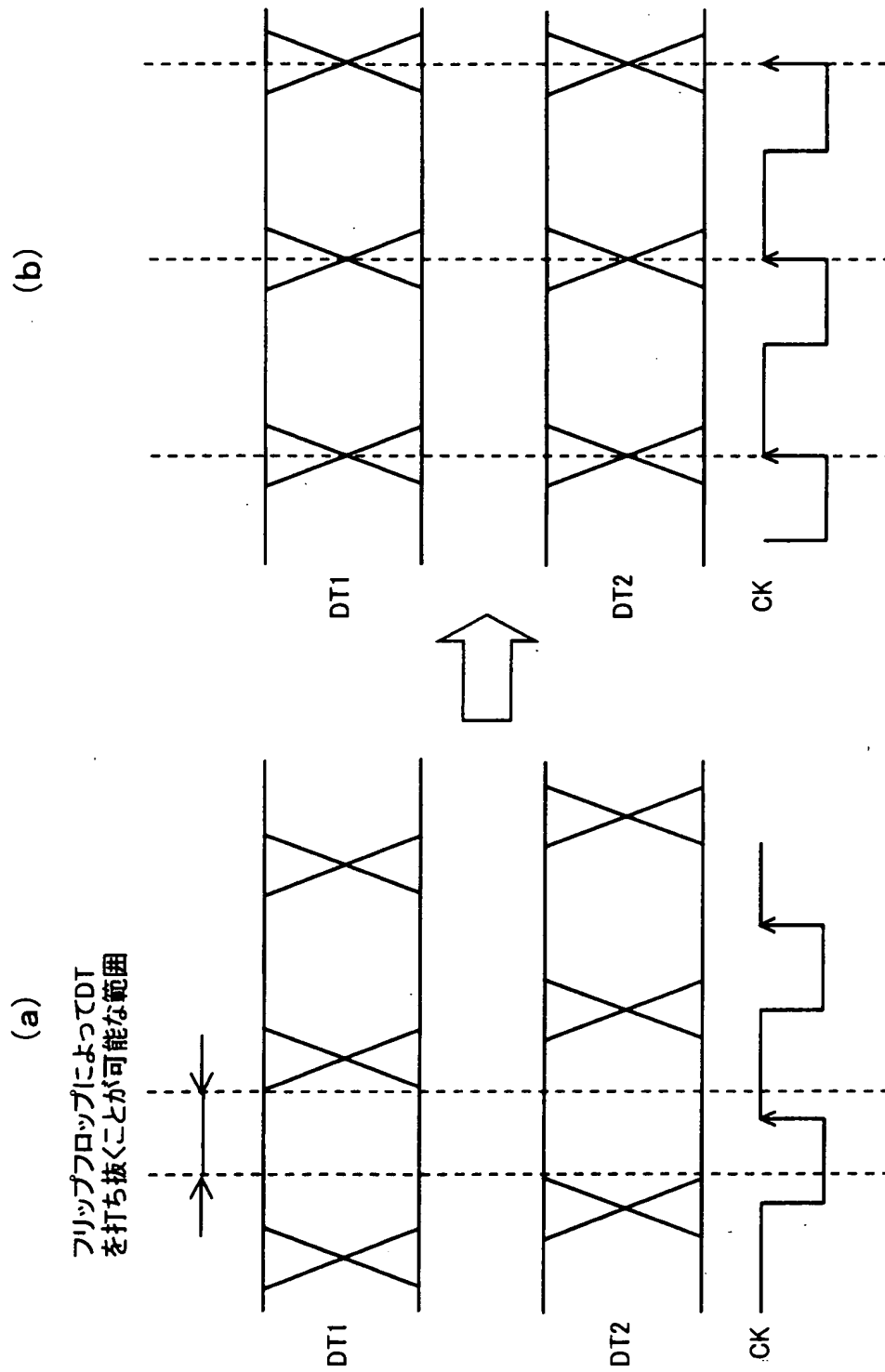


【図11】

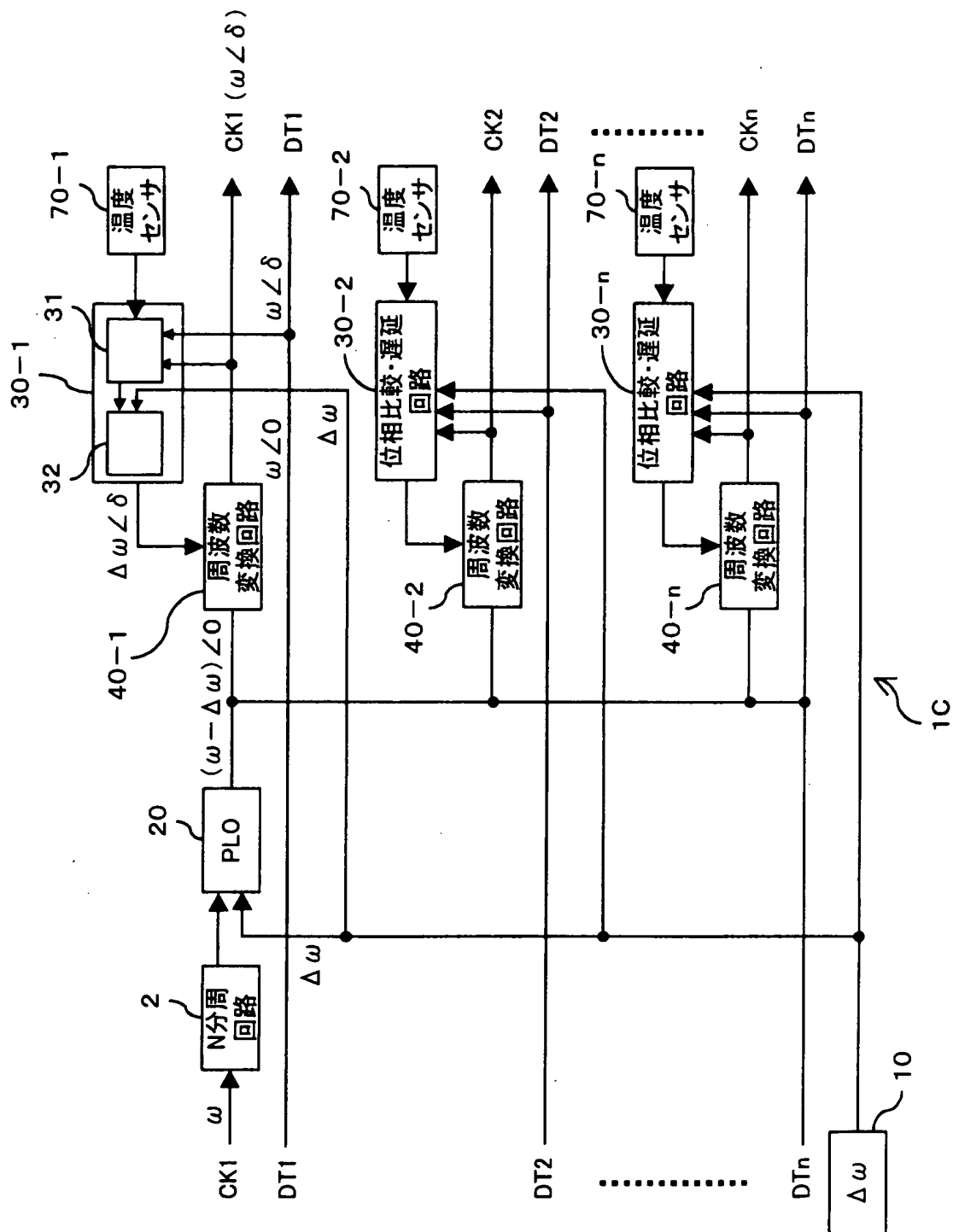




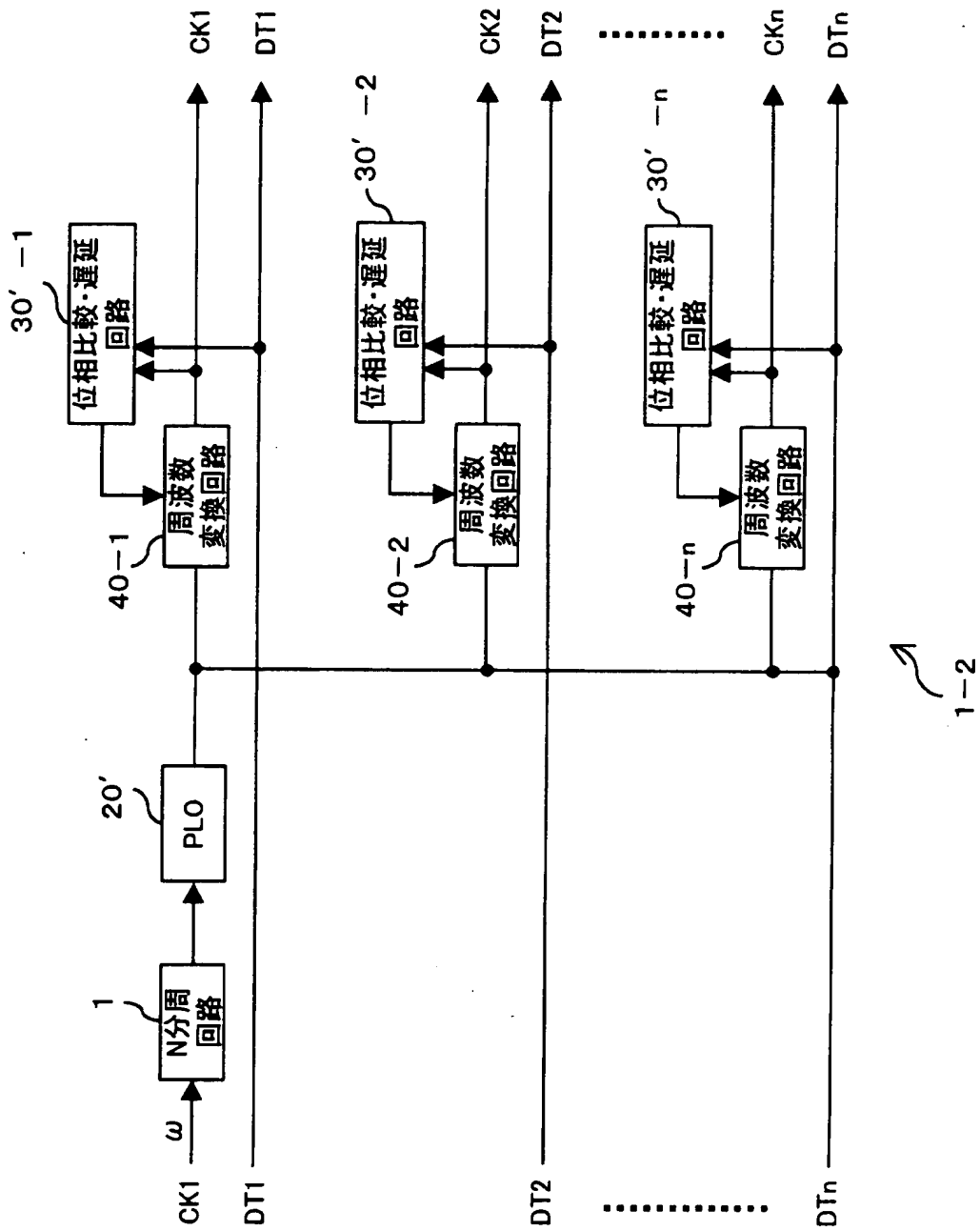
【図 12】



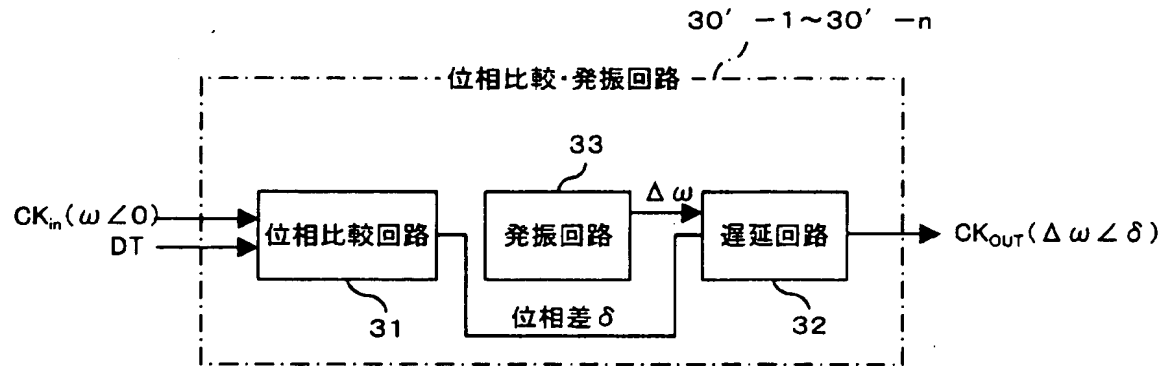
【図 13】



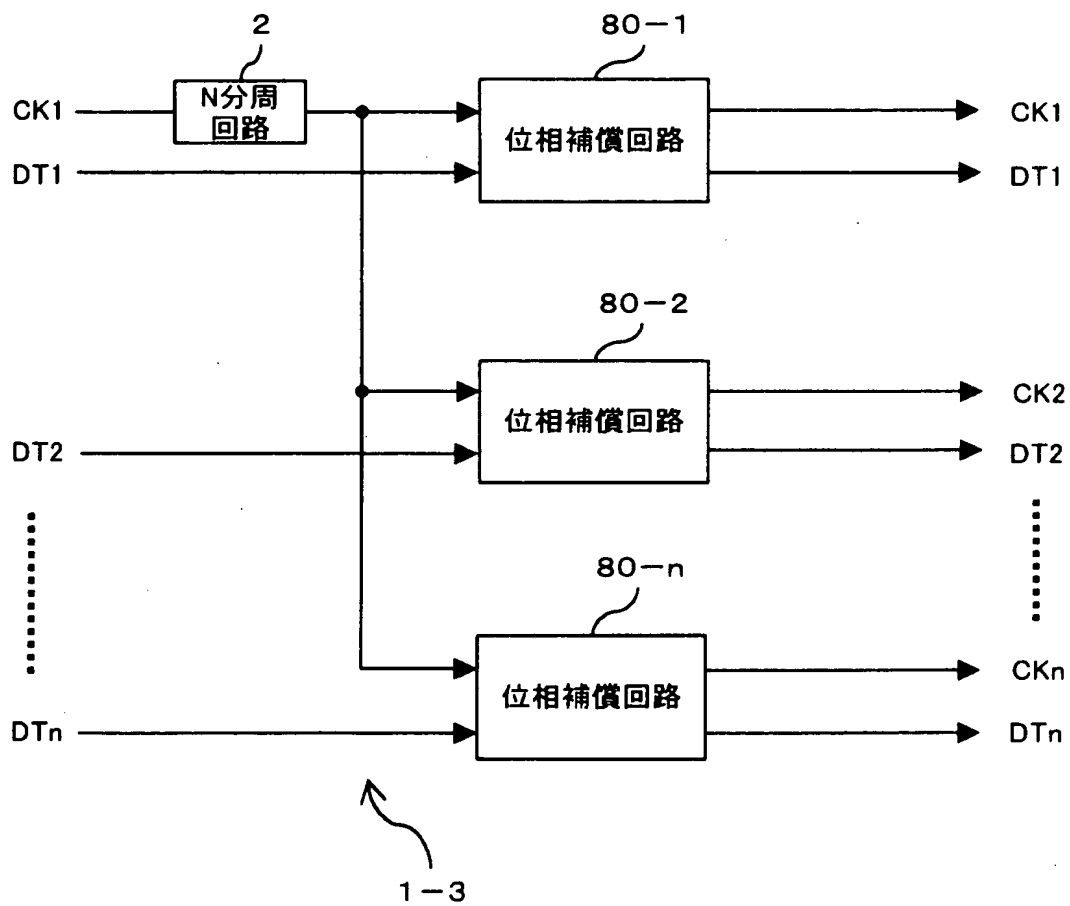
【図 1 4】



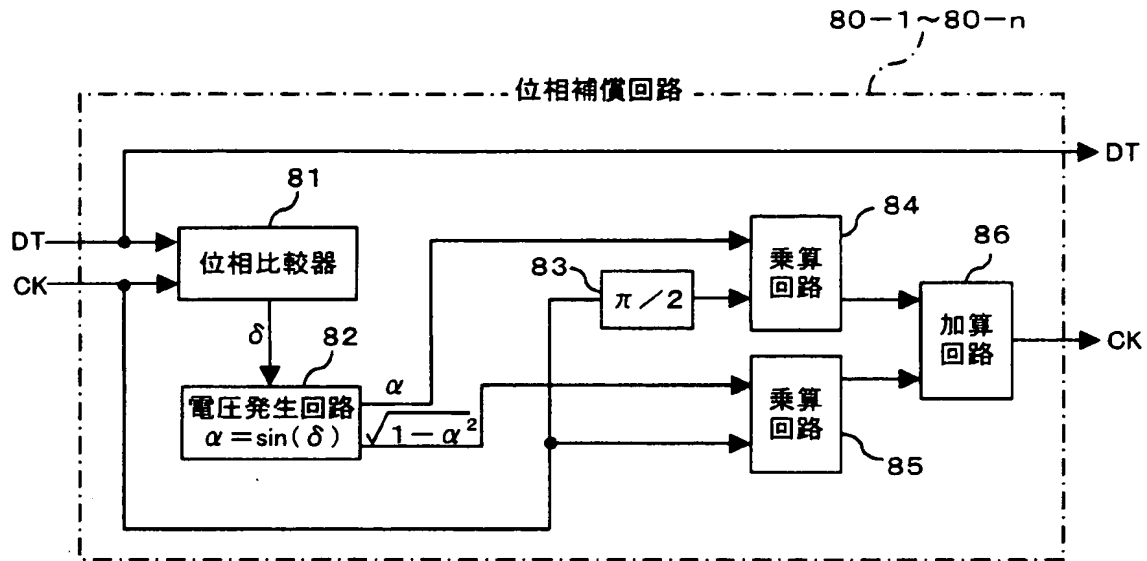
【図 15】



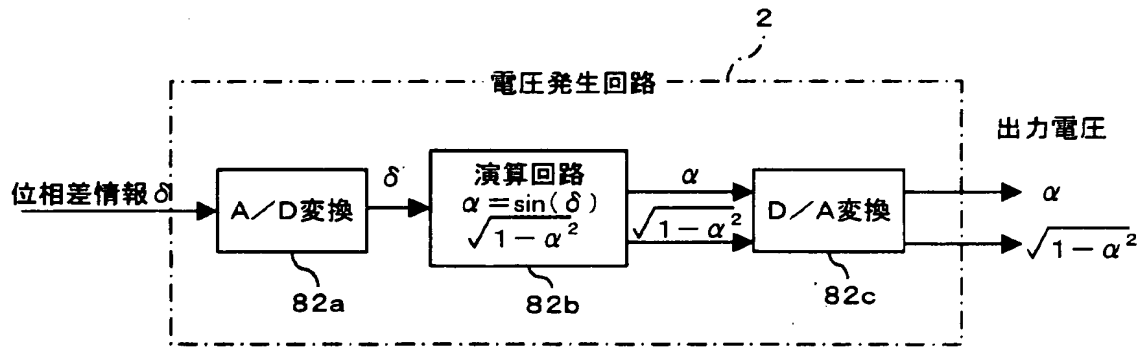
【図 16】



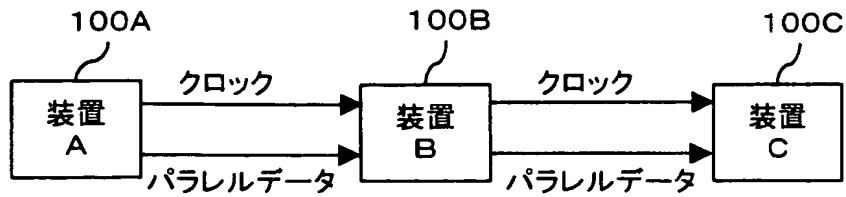
【図 17】



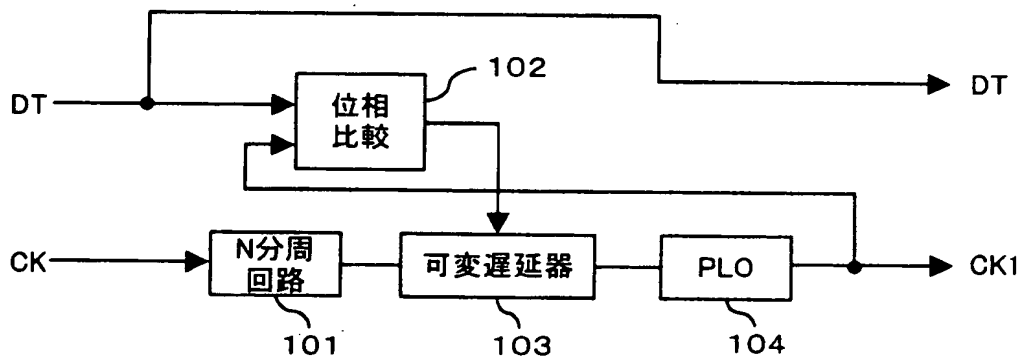
【図 18】



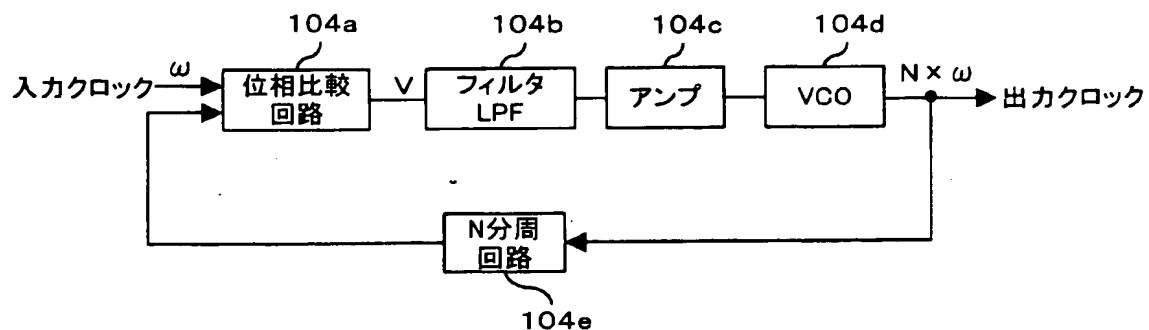
【図 1 9】



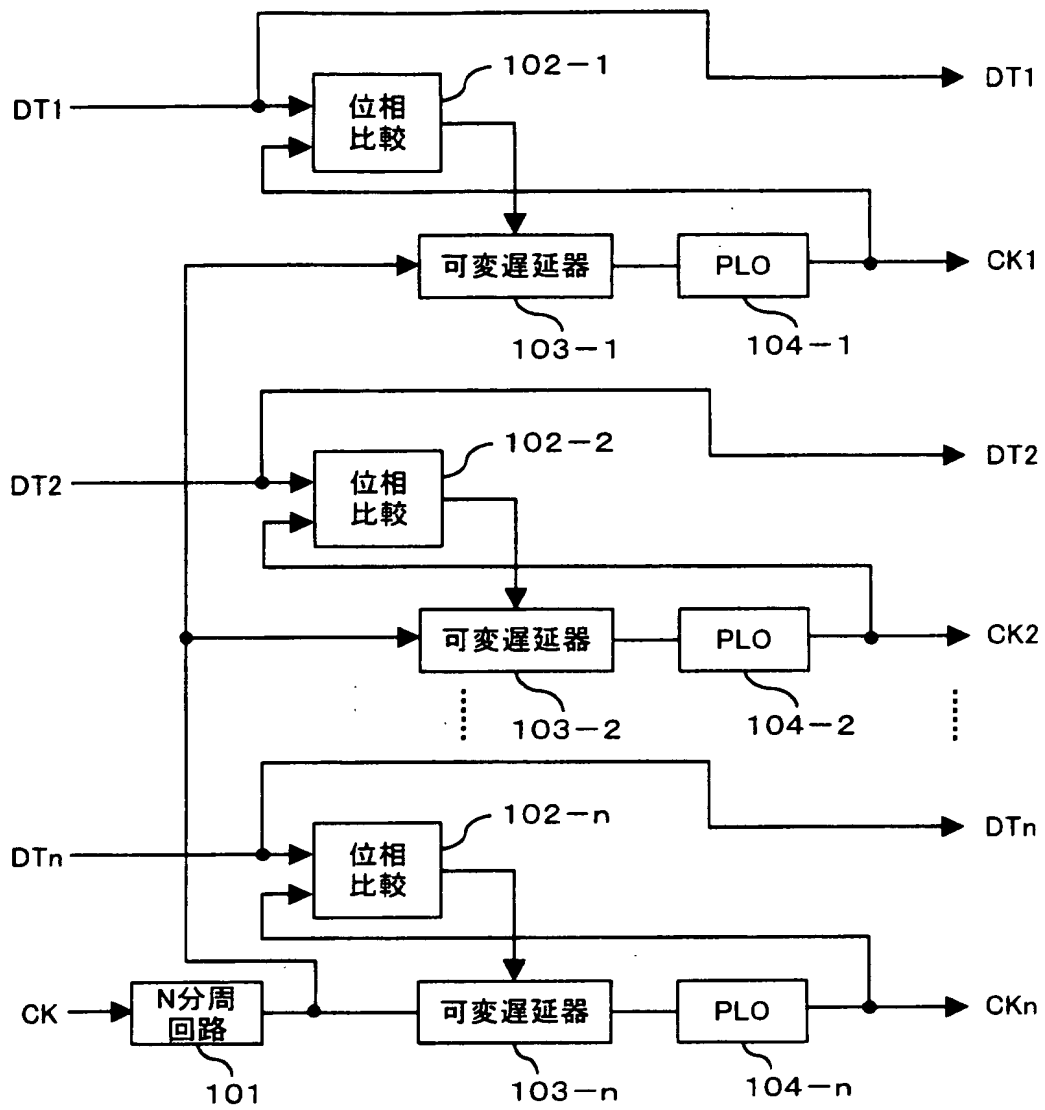
【図 2 0】



【図 2 1】



【図 22】



【書類名】 要約書

【要約】

【課題】 装置間においてパラレルデジタルデータを伝送する際に用いて好適な、並列信号自動位相調整回路において、並列ラインの数が増加した回路を構築する際においても、装置サイズの増大、ひいてはコスト増大を抑制する。

【解決手段】 所定の周波数の信号を生成する生成部 1 0 と、入力されるクロック信号の周波数に対して生成部 1 0 からの所定の周波数信号分低い周波数のクロック信号を発振する発振回路 2 0 とをそなえとともに、各データ信号および発振回路 2 0 からのクロック信号における位相比較情報と、各データ信号、発振回路 2 0 からのクロック信号および生成部 1 0 からの信号における周波数情報と、を用いた三角関数演算に基づいて、発振回路 2 0 からのクロック信号を対応データ信号に同期するように調整して出力する調整回路 3 0 - 1 ~ 3 0 - n, 4 0 - 1 ~ 4 0 - n を、複数系列のデータ信号に対応してそなえる。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Takehiro FUJITA, et al.  
Filed: : Concurrently herewith  
For: : PARALLEL SIGNAL AUTOMATIC PHASE.....  
Serial No. : Concurrently herewith

#2  
1-26-02  
10/023123  
10/30/01

Assistant Commissioner for Patents  
Washington, D.C. 20231

October 30, 2001

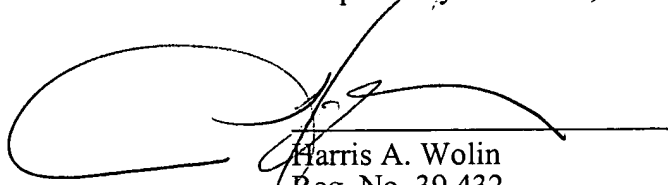
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is **JAPANESE** patent application nos. **2001-171216** filed **June 6, 2001** whose priority has been claimed in the present application.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,

  
Harris A. Wolin  
Reg. No. 39,432

ROSENMAN & COLIN, LLP  
575 MADISON AVENUE  
IP Department  
NEW YORK, NEW YORK 10022-2584  
DOCKET NO.: FUJS 19.099  
TELEPHONE: (212) 940-8800